ارائه یک ساختار جدید برای اینورتر شبه منبع امپدانسی مبتنی بر سلف‌های کلیدزنی شده و ترانسفورماتور

محمد شادنام زربیل، دانشجوی کارشناسی ارشد، ابراهیم بابائی، استاد، الیاس شوکتی اصل، دانشجوی دکترای، مهران صباحی، دانشیار

دانشکده مهندسی برق و کامپیوتر- دانشگاه تبریز- تبریز- ایران
m.shadnam92@ms.tabrizu.ac.ir, e-babaei@tabrizu.ac.ir, e.shokati@tabrizu.ac.ir, sabahi@tabrizu.ac.ir

چکیده: در این مقاله، ساختار جدیدی برای اینورترهای شبه منبع امپدانسی بر اساس ترکیب سلول "سلف‌های کلیدزنی شده"[1] و ترانسفورماتور پیشنهاد می‌شود. در ساختار پیشنهادی، می‌توان با تغییر در نسبت دور ترانسفورماتور، افزایش تعداد سلول‌های سلف کلیدزنی شده و تغییر چرخه‌ی کاری (ST) shoot-through به بهره‌های ولتاژ بسیار بزرگ دست یافت. اصول عمل‌کرد و محاسبات مربوط به بهره‌ی ولتاژ و مقدار متوسط ولتاژ دو سر خازن‌ها برای ساختار پیشنهادی ارائه می‌شود. تلفات ساختار پیشنهادی محاسبه و راندمان ساختار پیشنهادی با راندمان ساختارهای دیگر مقایسه شده است. هم چنین برای مشخص شدن مزایا و معایب ساختار پیشنهادی، این ساختار با ساختارهای مرسوم به صورت جامع مقایسه می‌شود. برای اثبات صحت عمل‌کرد مبدل پیشنهادی از نتایج شبیه‌سازی کامپیوتری در محیط نرم‌افزار PSCAD/EMTDC استفاده می‌شود.

واژه‌های کلیدی: اینورتر منبع امپدانسی، اینورتر شبه منبع امپدانسی، سلف کلیدزنی شده، ترانسفورماتور، shoot-through

تاریخ ارسال مقاله : 1394/01/31

تاریخ پذیرش مقاله : 1394/09/25

نام نویسنده‌ی مسئول : ابراهیم بابائی

نشانی نویسنده‌ی مسئول : دانشکده مهندسی برق و کامپیوتر- دانشگاه تبریز

[Downloaded from ieijqp.ir on 2026-02-21]

[DOR: 20.1001.1.23222344.1394.4.2.5.0]

1- مقدمه

اینورترها نقش اساسی جهت کنترل توان در سیستم‌های الکتریکی مدرن مانند منابع تولید پراکنده و درایوهای صنعتی دارند. محدودیت‌های اینورترهای مرسوم عدم انعطاف در محدوده‌ی جریان یا ولتاژ تبدیلی است. به عبارت دقیق‌تر اینورترهای منبع ولتاژ مرسوم تنها می‌توانند در مد عمل‌کرد کاهنده‌ی ولتاژ کار کنند و اینورترهای منبع جریان می‌توانند تنها در مد کاهنده‌ی جریان (یا مد افزاینده‌ی ولتاژ، با فرض یک توان تحویلی ثابت) کار کنند. در کاربردهایی که هم کاهش و هم افزایش سطح ولتاژ مورد نیاز باشد قبل از اینورتر از یک طبقه‌ی dc-dc استفاده می‌شود. روش استفاده از مبدل dc/dc به همراه اینورتر باعث پیچیدگی در سیستم کنترلی، افزایش هزینه‌ها و کاهش راندمان می‌شود.

در مرجع [1] "اینورتر منبع امپدانسی"[2] برای پیاده‌سازی مبدل‌های dc-ac، ac-dc، ac-ac و dc-dc معرفی شده است. این اینورتر یک شبکه امپدانسی X شکل را به کار می‌گیرد تا مدار اصلی مبدل را به منبع توان وصل کند. این ساختار می‌تواند در همه‌ی مبدل‌های توان dc-ac، ac-dc، ac-ac و dc-dc اعمال شود. اینورتر منبع امپدانسی به عنوان ساختاری یک طبقه ارائه شده است که در تبدیل توان توانایی افزایش و کاهش ولتاژ را دارد و نیاز به تاخیر زمانی در روشن کردن کلیدهای یک ساق ندارد در نتیجه قابلیت اطمینان مبدل افزایش می‌یابد. در مراجع [2-5] روش‌های مختلف کنترل اینورترهای منبع امپدانسی مورد بحث و بررسی قرار گرفته است. زمینه‌های کاربرد اینورترهای منبع امپدانسی در مراجع [6-8] و اصول عمل‌کرد، ویژگی‌های سیستم، مدل‌سازی و روش‌های کنترل آن در مراجع [9-11] ارائه شده است. ساختارهای مختلفی برای اینورترهای منبع امپدانسی در مراجع [12,13] ارائه شده است. اینورتر منبع امپدانسی مرسوم علاوه بر مزایای زیاد دارای مشکلاتی از جمله تولید ولتاژ بالا در دو سر خازن‌ها، جریان هجومی بالا و افزایش هزینه‌ها است.

برای حل معایب اینورتر منبع امپدانسی مرسوم در مرجع [14] ساختاری تحت عنوان "اینورتر شبه منبع امپدانسی"[3] ارائه شده که جریان ورودی آن پیوسته بوده و دارای تنش ولتاژ پایین در دو سر خازن‌ها است. طراحی و کاربردهای اینورتر شبه منبع امپدانسی در سیستم‌های PV و درایو موتورها در مراجع [15-17] ارائه شده است. داشتن زمین مشترک بین منبع ورودی و اینورتر و هم چنین کاهش مقادیر نامی المان‌های استفاده شده از مزایای آن به شمار می‌رود ولی هیچ تغییری در ضریب افزایش آن نسبت به اینورتر منبع امپدانسی مرسوم وجود ندارد. در مرجع [18] ساختار دیگری تحت عنوان L-Z-Source ارائه شده است. این ساختار دارای مزایای متعددی از جمله کوچک بودن جریان هجومی می‌باشد ولی برای رسیدن به بهره‌های ولتاژ بالا از تعداد سلف بسیار زیادی استفاده می‌کند که سبب بالا رفتن هزینه، وزن و حجم مدار می‌شود. در مرجع [19] ساختار "اینورتر شبه منبع امپدانسی مبتنی بر ترانسفورماتور"[4] ارائه شده است. هر چند در این ساختار با انتخاب نسبت دور بالا برای ترانسفورماتور می‌توان به بهره‌های ولتاژ بالاتر رسید ولی انتخاب نسبت دور بالا در ترانسفورماتورها معایب مربوط به خود را به دنبال دارد.

در این مقاله ساختار جدیدی برای اینورتر شبه منبع امپدانسی پیشنهاد می‌شود. این ساختار با استفاده از ترکیب سلول سلف‌های کلیدزنی شده و ترانسفورماتور حاصل می‌شود. بهره‌ی ولتاژ بالا و دارا بودن زمین مشترک بین منبع ورودی و اینورتر از مزایای آن به شمار می‌رود. در بخش‌های بعدی ابتدا ساختار پیشنهادی معرفی می‌شود و سپس اصول عمل‌کرد و تحلیل حالت ماندگار آن در مدهای کاری مختلف ارائه می‌شود. در ادامه بهره‌ی ولتاژ و تنش ولتاژ دو سر خازن برای ساختار پیشنهادی محاسبه شده و با ساختارهای مرسوم مقایسه می‌شود. جهت اثبات ادعاهای صورت گرفته از نتایج شبیه‌سازی کامپیوتری در محیط نرم‌افزار PSCAD/EMTDC استفاده می‌شود.

2- ساختار پیشنهادی

مدار قدرت اینورتر شبه منبع امپدانسی پیشنهادی در شکل (1) نشان داده شده است. جهت رسیدن به بهره ولتاژ بالا در ساختار پیشنهادی از $N-1$ سلول سلف کلیدزنی شده شامل N سلف و یک ترانسفورماتور با نسبت تبدیل $n:1$ استفاده شده است. هر سلول کلیدزنی شده شامل دو سلف و سه دیود است.

اینورتر پیشنهادی در هر دوره تناوب کلیدزنی (T_S) در دو حالت فعال (حالت غیر shoot-through) با بازه زمانی T_{nST} و اتصال کوتاه (حالت ST) با بازه زمانی T_{ST} کار می‌کند به طوری که همواره رابطه زیر برقرار است:

$$T_S = T_{nST} + T_{ST} \quad (1)$$

چرخه کاری ST را با D_{ST} نشان داده و به صورت زیر تعریف می‌شود:

$$D_{ST} = \frac{T_{ST}}{T_S} \quad (2)$$

چرخه کاری غیر ST را با D_{nST} نشان داده و با توجه به روابط (1) و (2) به صورت زیر محاسبه می‌شود:

$$D_{nST} = 1 - D_{ST} \quad (3)$$

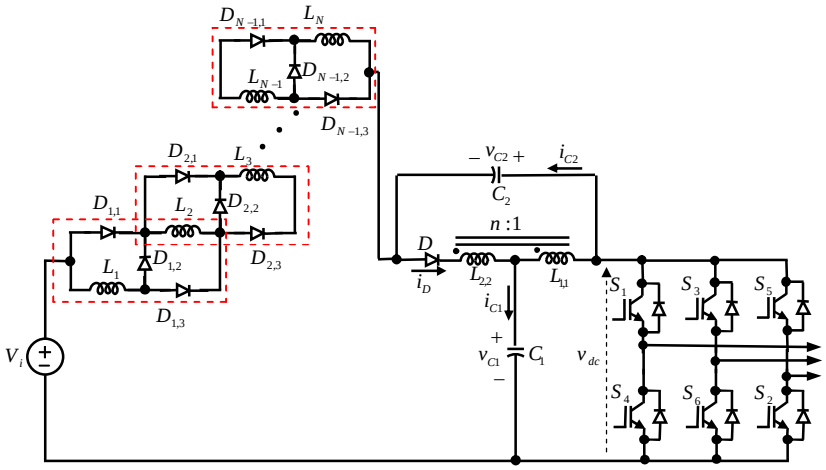
در ساختار پیشنهادی فرض‌های زیر در نظر گرفته می‌شوند:

$$L_1 = L_2 = \cdots = L_N = L \quad (4)$$

$$C_1 = C_2 = C \quad (5)$$

[Downloaded from ieijqp.ir on 2026-02-21]

[DOR: 20.1001.1.23222344.1394.4.2.5.0]



شکل (1): مدار قدرت اینورتر شبه منبع امپدانسی پیشنهادی

در حالت فعال، اینورتر با استفاده از "مدولاسیون پهنای پالس سینوسی"[5] کار می‌کند و در حالت اتصال کوتاه یک اتصال کوتاه اجباری بین ساق‌های اینورتر ایجاد می‌شود. شبکه LC در اینورتر شبه منبع امپدانسی مشابه یک مبدل dc-dc افزاینده عمل می‌کند که به وسیله‌ی حالت اتصال کوتاه کنترل می‌شود. مدار معادل ساختار پیشنهادی در رژیم هدایت پیوسته در حالت اتصال کوتاه (ST) در شکل (2) و در حالت فعال (non-ST) در شکل (3) نشان داده شده است.

2-1- مد کاری حالت ST

مطابق شکل (2) در حالت ST، طرف اینورتر با روشن شدن هم زمان کلیدهای بالا و پایین به صورت اتصال کوتاه در نظر گرفته می‌شود. در بازه‌ی زمانی حالت ST به دلیل افتادن ولتاژ معکوس در دو سر دیودهای $D_{1,2}$، $D_{2,2}$، ...، $D_{N-1,2}$، $D_{N,2}$ و D این دیودها خاموش هستند در حالی که دیودهای $D_{1,1}$، $D_{1,3}$، $D_{2,1}$، $D_{2,3}$، ...، $D_{N-1,1}$، $D_{N-1,3}$، $D_{N,1}$ و $D_{N,3}$ روشن هستند. سلف‌های L_1، L_2، ...، L_{N-1} و L_N به صورت موازی در کنار هم قرار دارند و انرژی را ذخیره می‌کنند. ولتاژهای دو سر سلف‌های L_1، L_2، ...، L_{N-1} و L_N به ترتیب در این حالت با v_{L1}، v_{L2}، v_{L3}، ...، v_{LN-1} و v_{LN} نمایش داده می‌شوند.

با اعمال KVL در مدار شکل (2) روابط زیر حاصل می‌شود:

$$v_{L1}=v_{L2}=\cdots=v_{LN-1}=v_{LN}=V_i+V_{C2} \quad (6)$$

$$v_{L1,1}=V_{C1} \quad (7)$$

در رابطه فوق، $v_{L1,1}$ ولتاژ اولیه ترانسفورماتور است.

با توجه به وجود ترانسفورماتور در ساختار پیشنهادی رابطه زیر همواره برقرار است:

$$v_{L2,2}=nv_{L1,1} \quad (8)$$

در رابطه فوق، n نسبت تبدیل ترانسفورماتور و $v_{L2,2}$ ولتاژ ثانویه ترانسفورماتور است.

با جایگذاری مقدار $v_{L1,1}$ از رابطه (7) در رابطه (8) نتیجه زیر حاصل می‌شود:

$$v_{L2,2}=nV_{C1} \quad (9)$$

2-2- مد کاری حالت non-ST

مطابق شکل (3) در حالت non-ST، دیودهای $D_{1,2}$، $D_{2,2}$، ...، $D_{N-1,2}$، $D_{N,2}$ و D روشن هستند در حالی که دیودهای $D_{1,1}$، $D_{1,3}$، $D_{2,1}$، $D_{2,3}$، ...، $D_{N-1,1}$، $D_{N-1,3}$، $D_{N,1}$ و $D_{N,3}$ خاموش هستند. سلف‌های L_1، L_2، ...، L_{N-1} و L_N به صورت سری قرار گرفته و انرژی را از منبع ولتاژ dc به مدار اصلی منتقل می‌کنند.

با اعمال KVL در مدار شکل (3) می‌توان نوشت:

$$v_{L1}+v_{L2}+\cdots+v_{LN-1}+v_{LN}=V_i-V_{C1}-v_{L2,2} \quad (10)$$

$$v_{L1}=v_{L2}=\cdots=v_{LN-1}=v_{LN} \quad (11)$$

از روابط (10) و (11)، رابطه‌ی زیر نتیجه می‌شود:

$$v_{L1}=v_{L2}=\cdots=v_{LN-1}=v_{LN}=\frac{1}{N}V_i-\frac{1}{N}V_{C1}-\frac{1}{N}v_{L2,2} \quad (12)$$

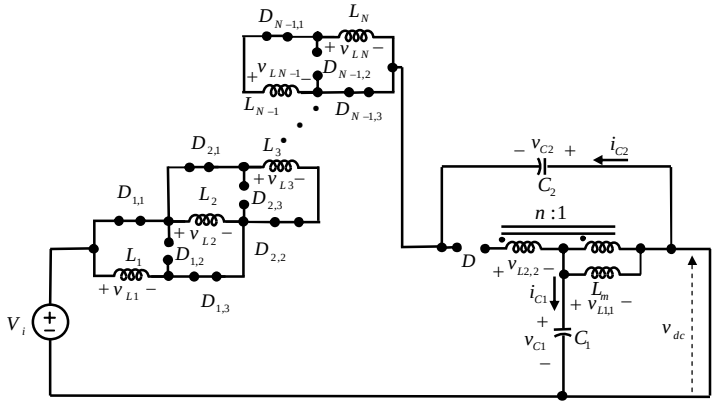
در رابطه فوق، N تعداد سلف‌های کلید شده است.

همچنین با اعمال KVL در مدار شکل (3) رابطه زیر حاصل می‌شود:

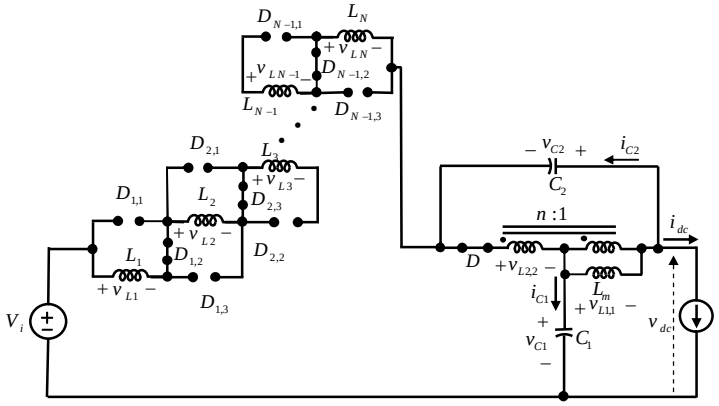
$$v_{L1,1}+v_{L2,2}=-V_{C2} \quad (13)$$

[Downloaded from ieijqp.ir on 2026-02-21]

[DOR: 20.1001.1.23222344.1394.4.2.5.0]



شکل (2): مدار معادل ساختار پیشنهادی در حالت اتصال کوتاه (ST)



شکل (3): مدار معادل ساختار پیشنهادی در حالت فعال (non-ST)

با توجه به روابط (8) و (13) روابط زیر حاصل می‌شوند:

$$v_{L1,1} = \frac{-V_{C2}}{n+1} \quad (14)$$

$$v_{L2,2} = \frac{-nV_{C2}}{n+1} \quad (15)$$

ولتاژ dc در ورودی اینورتر (v_{dc}) در حالت فعال (non-ST) به صورت زیر است:

$$v_{dc} = v_{dc,\max} = V_{C1} - v_{L1,1} \quad (16)$$

با جایگذاری رابطه (14) در رابطه (16) رابطه زیر حاصل می‌شود:

$$v_{dc} = V_{C1} + \frac{V_{C2}}{n+1} \quad (17)$$

با توجه به این که در حالت دائمی متوسط ولتاژ دو سر یک سلف در یک دوره‌ی تناوب برابر با صفر است با استفاده از روابط (7) و (14) با صفر قرار دادن متوسط ولتاژ $v_{L1,1}$ در حالت دائمی در یک دوره تناوب، رابطه زیر حاصل می‌شود:

$$D_{ST} V_{C1} - \frac{1-D_{ST}}{n+1} V_{C2} = 0 \quad (18)$$

با ساده‌سازی رابطه فوق، رابطه زیر را می‌توان نوشت:

$$V_{C1} = \frac{1-D_{ST}}{(n+1)D_{ST}} V_{C2} \quad (19)$$

با جایگذاری روابط (15) و (19) در رابطه (12) رابطه ولتاژ $v_{L1} = v_{L2} = \cdots = v_{LN-1} = v_{LN}$ در حالت فعال (non-ST) به صورت زیر خواهد بود:

$$v_{L1} = v_{L2} = \cdots = v_{LN-1} = v_{LN} = \frac{1}{N} V_i + \frac{-(1-D_{ST}) + nD_{ST}}{ND_{ST}(n+1)} V_{C2} \quad (20)$$

با صفر قرار دادن متوسط ولتاژ $v_{L1} = v_{L2} = \cdots = v_{LN-1} = v_{LN}$ در حالت دائمی در یک دوره تناوب با توجه به روابط (6) و (20) رابطه زیر برقرار است:

$$D_{ST}(V_i + V_{C2}) + (1-D_{ST}) \cdot \left[\frac{1}{N} V_i + \frac{-(1+D_{ST}) + nD_{ST}}{ND_{ST}(n+1)} V_{C2} \right] = 0 \quad (21)$$

با ساده‌سازی رابطه فوق، ولتاژ دو سر خازن C_2 به صورت زیر حاصل می‌شود:

[Downloaded from ieijqp.ir on 2026-02-21]

[DOR: 20.1001.1.23222344.1394.4.2.5.0]

$$V_{C2}=\frac{D_{ST}(n+1)[1+(N-1)D_{ST}]}{1-(2+n)D_{ST}+(n+1)(1-N)D_{ST}^{2}}V_i \qquad (22)$$

با جایگذاری مقدار V_{C2} از رابطه (22) در رابطه (19) ولتاژ دو سر خازن C_1 به صورت زیر خواهد بود:

$$V_{C1}=\frac{(1-D_{ST})[1+(N-1)D_{ST}]}{1-(2+n)D_{ST}+(n+1)(1-N)D_{ST}^{2}}V_i \qquad (23)$$

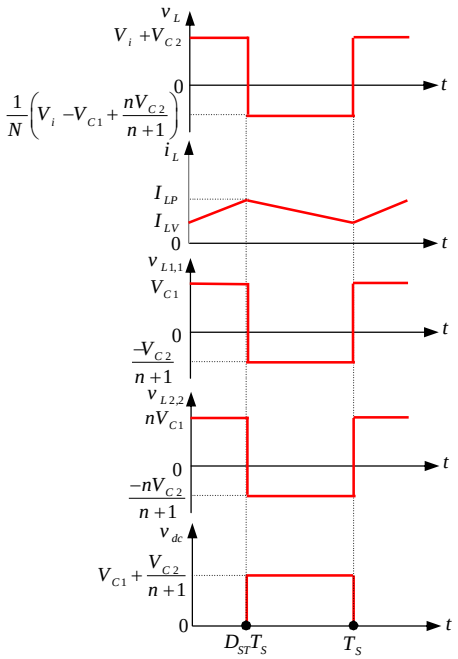
با جایگذاری مقادیر V_{C1} و V_{C2} از روابط (22) و (23) در رابطه (17) ولتاژ dc ورودی به اینورتر در حالت فعال به صورت زیر خواهد بود:

$$v_{dc}=\frac{1+(N-1)D_{ST}}{1-(2+n)D_{ST}+(n+1)(1-N)D_{ST}^{2}}V_i \qquad (24)$$

ضریب V_i همان ضریب افزایش (B) است و به صورت زیر بیان می‌شود:

$$B=\frac{1+(N-1)D_{ST}}{1-(2+n)D_{ST}+(n+1)(1-N)D_{ST}^{2}} \qquad (25)$$

شکل‌موج‌های ولتاژ و جریان ساختار پیشنهادی با توجه به روابط حاصل شده در شکل (4) نشان داده شده است.



شکل (4): شکل‌موج‌های ولتاژ و جریان ساختار پیشنهادی

3- محاسبه تلفات ساختار پیشنهادی

به منظور محاسبه تلفات در ساختار پیشنهادی فرضیات زیر در نظر گرفته می‌شوند:

1- تلفات دیودها شامل تلفات هدایتی، تلفات روشن شدن و خاموش شدن آن‌ها می‌باشد.

2- دیودها در هنگام هدایت با یک کلید ایده‌آل به همراه یک مقاومت R_D و یک منبع ولتاژ V_D معادل می‌شوند به طوری که R_D و V_D به ترتیب نشان دهنده مقاومت مد هدایت و افت ولتاژ هنگام هدایت دیود می‌باشند.

3- مقاومت داخلی سلف‌ها (r_L) و خازن‌ها (r_C) به صورت سری با این المان‌ها در نظر گرفته می‌شوند.

4- فرض می‌شود که تمامی سلف‌ها، خازن‌ها و دیودها یکسان هستند و دارای تلفات برابر می‌باشند.

سلول سلف کلیدزنی شده در حالت کلی شامل N سلف و $3\times(N-1)$ دیود می‌باشد که از بین این دیودها با توجه به زمان روشن شدن دو گروه با عمل‌کرد زمانی متفاوت به وجود می‌آید که تلفات دو گروه باهم متفاوت می‌باشند. بایستی به این نکته اشاره کرد که در هر گروه از المان‌ها تلفات یکی از آن‌ها پیدا شده سپس با توجه به تعداد آن‌ها تلفات کل گروه سلف‌ها و دیودها محاسبه می‌شود.

تلفات توان در سلف‌ها و ترانسفورماتور از دو قسمت تلفات هسته و تلفات سیم‌پیچی تشکیل یافته است. در مبدل‌های PWM نوعاً تلفات هسته قابل اغماض است. تلفات سیم‌پیچی بستگی به مقاومت آن و مقدار موثر جریان عبوری از آن را دارد. تحت این شرایط تلفات توان یک سلف از رابطه زیر به دست می‌آید:

$$P_{rL1}=I_{L(RMS)}^{2}r_L=I_L^{2}r_L \qquad (26)$$

با توجه به رابطه فوق تلفات توان کل سلف‌ها از رابطه زیر به دست می‌آید:

$$P_{rL}=N\ I_L^{2}r_L \qquad (27)$$

همان طور که اشاره شد دیودها در سلول سلفی به دو گروه تقسیم می‌شوند. گروه اول دیودهای $D_{i,j}\ (i=1to\ N-1, j=1,3)$ می‌باشند که در حالت ST روشن می‌شوند و به تعداد $2\times(N-1)$ می‌باشند. جریان عبوری از یکی از این دیودها (به طور مثال $D_{1,1}$) برابر است با:

$$i_{D1,1}=\begin{cases}I_L & for\ \ 0\le t\le D_{ST}T_s\\ 0 & for\ \ D_{ST}T_s\le t\le T_s\end{cases} \qquad (28)$$

مقدار موثر جریان عبوری از این دیود برابر است با:

$$I_{D1,1(RMS)}=\sqrt{D_{ST}}\ I_L \qquad (29)$$

با توجه به رابطه فوق مقدار تلفات اهمی زمان هدایت دیود $D_{1,1}$ برابر می‌شود با:

$$P_{RD1,1}=I_{D1,1(RMS)}^{2}R_D=D_{ST}\ I_L^{2}R_D \qquad (30)$$

مقدار متوسط جریان عبوری از دیود $D_{1,1}$ برابر است با:

$$I_{D1,1}=D_{ST}\ I_L \qquad (31)$$

تلفات ناشی از افت ولتاژ مد هدایت V_D برابر است با:

$$P_{VD1,1}=V_D I_{D1,1}=D_{ST}V_D I_L \qquad (32)$$

[Downloaded from ieijqp.ir on 2026-02-21]

[DOR: 20.1001.1.23222344.1394.4.2.5.0]

با توجه به روابط (30) و (32) تلفات هدایتی دیود $D_{1,1}$ برابر است با:

$$P_{C,D1,1} = P_{RD1,1} + P_{VD1,1} = D_{ST}\ I_L\left(I_L R_D + V_D\right) \quad (33)$$

به منظور یافتن تلفات روشن و خاموش شدن دیود، بایستی انرژی تلف شده در بازه زمانی روشن شدن ($t_{on,D}$) و خاموش شدن آن ($t_{off,D}$) محاسبه شود. اگر تغییرات ولتاژ و جریان دیود به صورت خطی فرض شود مقدار انرژی تلف شده در زمان روشن شدن و خاموش شدن دیود $D_{1,1}$ از روابط زیر به دست می‌آید:

$$E_{on,D1,1} = \int_0^{t_{on,D}} v_{D11}(t)\, i_{D11}(t)\, dt = \frac{(V_i - V_{C1} + \frac{nV_{C2}}{n+1})I_L}{N}\frac{t_{on,D}}{6} \quad (34)$$

$$E_{off,D1,1} = \int_0^{t_{off,D}} v_{D11}(t)\, i_{D11}(t)\, dt = \frac{(V_i - V_{C1} + \frac{nV_{C2}}{n+1})I_L}{N}\frac{t_{off,D}}{6} \quad (35)$$

با توجه به روابط (33)، (34) و (35) تلفات دیود $D_{1,1}$ از رابطه زیر به دست می‌آید:

$$P_{D1,1} = P_{C,D1,1} + E_{on,D1,1} + E_{off,D1,1} = I_L D_{ST}\left(I_L R_D + V_D\right) + \frac{I_L(V_i - V_{C1} + \frac{nV_{C2}}{n+1})}{6N}(t_{on,D} + t_{off,D}) \quad (36)$$

با توجه به رابطه فوق تلفات کل دیودهای $D_{i,j}\ (i = 1to\ N-1,\ j = 1,3)$ از رابطه زیر به دست می‌آید:

$$P_{D,G1} = 2(N-1)P_{D1,1} \quad (37)$$

دیودهای گروه سلول کلیدزنی دوم دیودهای $D_{i,j}\ (i = 1to\ N-1,\ j = 2)$ می‌باشند که در حالت غیر ST روشن می‌شوند و به تعداد $(N-1)$ می‌باشد. جریان عبوری از یکی از این دیودها (به طور مثال دیود $D_{1,2}$) برابر است با:

$$i_{D1,2} = \begin{cases} 0 & for\ \ 0 \le t \le D_{ST}T_s \\ I_L & for\ \ D_{ST}T_s \le t \le T_s \end{cases} \quad (38)$$

به طریق مشابه تلفات دیود $D_{1,2}$ از رابطه زیر به دست می‌آید:

$$P_{D1,2} = P_{C,D1,2} + E_{on,D1,2} + E_{off,D1,2} = I_L(1-D_{ST})\left(I_L R_D + V_D\right) + \frac{I_L(V_i + V_{C2})}{6}(t_{on,D} + t_{off,D}) \quad (39)$$

با توجه به رابطه فوق تلفات کل دیودهای $D_{i,j}\ (i = 1to\ N-1,\ j = 2)$ از رابطه زیر به دست می‌آید:

$$P_{D,G2} = (N-1)P_{D1,2} \quad (40)$$

جریان عبوری از خازن C_1 از رابطه زیر به دست می‌آید:

$$i_{C1} = \begin{cases} -I_2 & for\ \ 0 \le t \le D_{ST}T_s \\ I_L - I_{dc} & for\ \ D_{ST}T_s \le t \le T_s \end{cases} \quad (41)$$

در رابطه فوق، I_2 مقدار متوسط جریان ثانویه ترانسفورماتور است.

با توجه به رابطه (42) مقدار جریان موثر عبوری از خازن C_1 برابر می‌شود با:

$$I_{C1(RMS)} = \sqrt{D_{ST}(I_2)^2 + (1-D_{ST})(I_L - I_{dc})^2} \quad (42)$$

با توجه به رابطه فوق تلفات اهمی در خازن C_1 برابر می‌شود با:

$$P_{rC1} = I_{C1(RMS)}{}^2 r_C = \left(D_{ST}(I_2)^2 + (1-D_{ST})(I_L - I_{dc})^2\right) r_C \quad (43)$$

جریان عبوری از خازن C_2 از رابطه زیر به دست می‌آید:

$$i_{C2} = \begin{cases} -NI_L & for\ \ 0 \le t \le D_{ST}T_s \\ I_1 - I_{dc} & for\ \ D_{ST}T_s \le t \le T_s \end{cases} \quad (44)$$

در رابطه فوق، I_1 مقدار متوسط جریان اولیه ترانسفورماتور است.

تلفات اهمی در خازن C_2 برابر می‌شود با:

$$P_{rC2} = I_{C2(RMS)}{}^2 r_C = \left(D_{ST}(NI_L)^2 + (1-D_{ST})(I_1 - I_{dc})^2\right) r_C \quad (45)$$

جریان عبوری از دیود D برابر است با:

$$i_D = \begin{cases} 0 & for\ \ 0 \le t \le D_{ST}T_s \\ I_2 & for\ \ D_{ST}T_s \le t \le T_s \end{cases} \quad (46)$$

به روش مشابه برای محاسبه تلفات دیودها، تلفات دیود D از رابطه زیر به دست می‌آید:

$$P_D = P_{C,D} + E_{on,D} + E_{off,D} = I_2(1-D_{ST})\left(I_2 R_D + V_D\right) + \frac{I_2[-(n+1)V_{C1} - V_{C2})}{6}(t_{on,D} + t_{off,D}) \quad (47)$$

تلفات توان در ترانسفورماتور شامل تلفات هسته و تلفات مس است [19]. با صرفه نظر کردن از تلفات هسته در ترانسفورماتور، تلفات مس ترانسفورماتور از رابطه زیر حاصل می‌شود:

$$P_{cu-T} = \frac{\rho(MLT)}{K_u W_A}(N_1 I_{1r} + N_2 I_{2r})^2 \quad (48)$$

در رابطه فوق، ρ "مقاومت ویژه مواد رسانا"[6]، (MLT) "مقدار متوسط مسافت در هر دور از سیم پیچی"[7]، K_u "ضریب بزرگی سیم پیچی"[8]، W_A "سطح دریچه هسته"[9]، N_1، N_2 تعداد دور سیم پیچی اولیه و ثانویه و I_{1r}، I_{2r} مقدار موثر جریان‌های اولیه و ثانویه ترانسفورماتور است.

در نهایت تلفات کل مبدل پیشنهادی به صورت زیر محاسبه می‌شود:

$$P_{loss} = P_{cu-T} + P_D + P_{rC1} + P_{rC2} + P_{rL} + P_{D,G1} + P_{D,G2} \quad (49)$$

4- مقایسه ساختار پیشنهادی با ساختارهای موجود

در این قسمت ویژگی‌های ساختار پیشنهادی از جهات مختلف مورد تحلیل و بررسی قرار گرفته و مقایسه‌ای جامع بین ساختارهای مختلف

[Downloaded from ieijqp.ir on 2026-02-21]

[DOR: 20.1001.1.23222344.1394.4.2.5.0]

اینورترهای منبع امپدانسی انجام می‌گیرد. شرایط بار و کنترل متفاوت سبب تنش‌های مختلف در اینورترهای منبع امپدانسی می‌شود. در این قسمت ساختار پیشنهادی با ساختارهای اینورتر منبع امپدانسی مرسوم [1]، اینورتر شبه منبع امپدانسی مرسوم [14]، ساختار توسعه یافته L-Z-Source [18] و اینورتر شبه منبع امپدانسی مبتنی بر ترانسفورماتور [19] تحت شرایط یکسان مقایسه می‌شود. با استفاده از روش‌های تحلیل حالت ماندگار تنش ولتاژ در دو سر المان‌های اصلی مثل خازن به دست می‌آید [20]. جدول (1) روابط موجود را برای اینورترهای منبع امپدانسی موجود و ساختار پیشنهادی بیان می‌کند.

مطابق شکل (5) می‌توان نتیجه گرفت که توانایی افزایش ولتاژ ساختار پیشنهادی با تغییر D_{ST} و تعداد سلف‌ها (N) تغییر می‌کند. به عبارت دیگر، با افزایش بازه‌ی زمانی حالت ST و تعداد سلف‌ها، بهره‌ی ولتاژ افزایش می‌یابد. در این مقایسه نسبت تبدیل ترانسفورماتور 1:1 است ($n=1$). مطابق شکل (6) می‌توان نتیجه گرفت که توانایی افزایش ولتاژ ساختار پیشنهادی با تغییر D_{ST} و نسبت تبدیل ترانسفورماتور (n) تغییر می‌کند. به عبارت دیگر، با افزایش بازه‌ی زمانی حالت ST و نسبت تبدیل ترانسفورماتور بهره‌ی ولتاژ افزایش می‌یابد. در این مقایسه تعداد سلف‌ها برابر یک است ($N=1$). شکل (7) مقایسه‌ی ضریب افزایش ساختار پیشنهادی با ساختارهای مرسوم را نشان می‌دهد. مطابق شکل با تنظیم تعداد سلف‌ها و در D_{ST} کوچک، ضریب افزایش ساختار پیشنهادی می‌تواند بزرگ‌تر از ساختارهای مرسوم باشد. با تغییرات کوچک D_{ST} در ساختار پیشنهادی می‌توان بازه خیلی بزرگی از ضریب افزایش را انتخاب کرد.

در روش کنترل افزایش ساده طبق مرجع [21] رابطه زیر همواره برقرار است:

$$D_{ST} \le 1-M \qquad (50)$$

در رابطه فوق، M شاخص مدولاسیون است.

مطابق مرجع [21] در مبدل‌های منبع امپدانسی بهره‌ی ولتاژ (G) از رابطه‌ی زیر محاسبه می‌شود:

$$G = MB \qquad (51)$$

با جایگذاری حداکثر مقدار D_{ST} از رابطه (50) در ضریب افزایش ساختار پیشنهادی از رابطه (25) نتیجه زیر حاصل می‌شود:

$$B = \frac{1+(N-1)(1-M)}{1-(2+n)(1-M)+(n+1)(1-N)(1-M)^2} \qquad (52)$$

با جایگذاری مقدار B از رابطه فوق در رابطه (51) بهره ولتاژ ساختار پیشنهادی (G_1) به صورت زیر خواهد بود:

$$G_1 = \frac{M+M(N-1)(1-M)}{1-(2+n)(1-M)+(n+1)(1-N)(1-M)^2} \qquad (53)$$

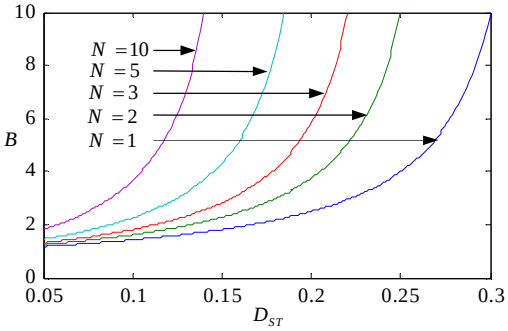
به روش مشابه بهره ولتاژ اینورتر شبه منبع امپدانسی مبتنی بر ترانسفورماتور [19] (G_2) از رابطه زیر قابل محاسبه است:

$$G_2 = \frac{M}{1-(2+n)(1-M)} \qquad (54)$$

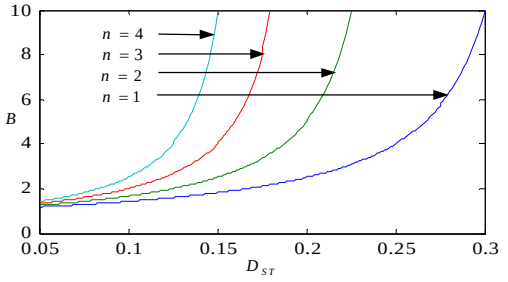
هم چنین بهره ولتاژ اینورتر منبع امپدانسی [1] و شبه منبع امپدانسی [14] (G_3) از رابطه زیر قابل محاسبه است:

$$G_3 = \frac{M}{1-2(1-M)} \qquad (55)$$

در شکل (8) بهره ولتاژ بر حسب شاخص مدولاسیون ساختار پیشنهادی به ازای $n=2$ و تعداد سلف‌های(N) مختلف با اینورتر شبه منبع امپدانسی مبتنی بر ترانسفورماتور [19] به ازای $n=2$، اینورتر منبع امپدانسی [1] و شبه منبع امپدانسی [14] مقایسه شده است. هم چنان که شکل نشان می‌دهد به ازای یک بهره ولتاژ یکسان شاخص مدولاسیون ساختار پیشنهادی بیش‌تر از شاخص مدولاسیون سایر ساختارها می‌باشد که این یک مزیت برای ساختار پیشنهادی است.



شکل (5): ضریب افزایش ساختار پیشنهادی با تعداد مختلف سلف‌ها



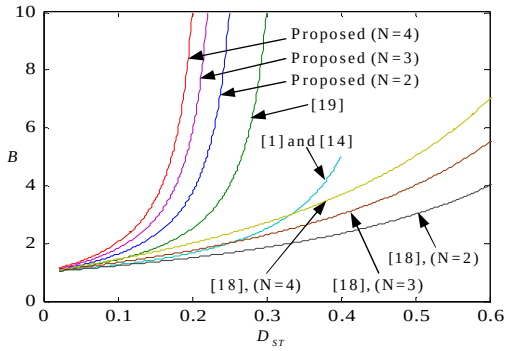
شکل (6): ضریب افزایش ساختار پیشنهادی با نسبت تبدیل‌های مختلف

[Downloaded from ieijqp.ir on 2026-02-21]

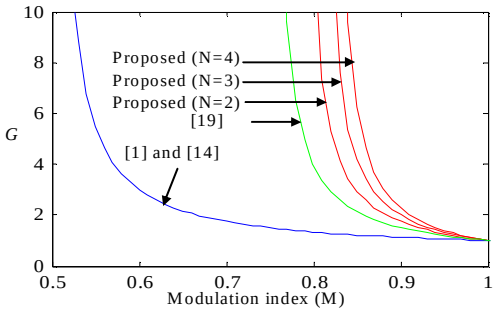
[DOR: 20.1001.1.23222344.1394.4.2.5.0]

جدول (1): مقایسه‌ی ساختار پیشنهادی از لحاظ ضریب افزایش و تنش ولتاژ در دو سر خازن‌ها با برخی ساختارهای دیگر در شرایط V_i و D_{ST} یکسان

	ساختار پیشنهادی	اینورتر منبع امپدانسی مرسوم [1]	اینورتر شبه منبع امپدانسی مرسوم [14]	ساختار توسعه یافته L-Z-Source [18]	اینورتر شبه منبع امپدانسی مبتنی بر ترانسفورماتور [19]
B	$\frac{1+(N-1)D_{ST}}{1-(2+n)D_{ST}+(n+1)(1-N)D_{ST}^2}$	$\frac{1}{1-2D_{ST}}$	$\frac{1}{1-2D_{ST}}$	$\frac{1+(N-1)D_{ST}}{1-D_{ST}}$	$\frac{1}{1-(2+n)D_{ST}}$
V_{C1}	$\frac{(1-D_{ST})[1+(N-1)D_{ST}]}{1-(2+n)D_{ST}+(n+1)(1-N)D_{ST}^2}V_i$	$\frac{1-D_{ST}}{1-2D_{ST}}V_i$	$\frac{1-D_{ST}}{1-2D_{ST}}V_i$	-	$\frac{1-D_{ST}}{1-(2+n)D_{ST}}V_i$
V_{C2}	$\frac{D_{ST}(n+1)[1+(N-1)D_{ST}]}{1-(2+n)D_{ST}+(n+1)(1-N)D_{ST}^2}V_i$	$\frac{1-D_{ST}}{1-2D_{ST}}V_i$	$\frac{D_{ST}}{1-2D_{ST}}V_i$	-	$\frac{D_{ST}(n+1)}{1-(2+n)D_{ST}}V_i$

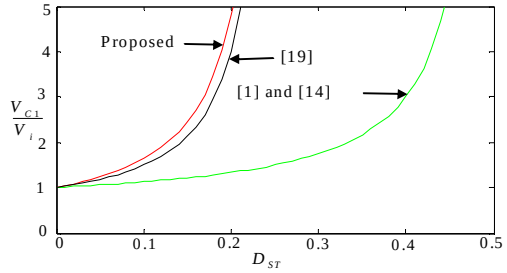


شکل (7): مقایسه ضریب افزایش ساختار پیشنهادی با ساختارهای مرسوم

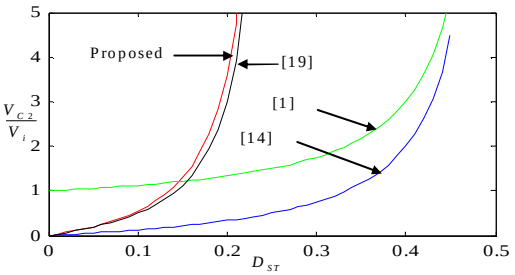


شکل (8): بهره ولتاژ بر حسب شاخص مدولاسیون

شکل (9) مقایسه تنش ولتاژ دو سر خازن C_1 و شکل (10) مقایسه تنش ولتاژ دو سر خازن C_2 برای ساختار پیشنهادی را به ازای $n=2$ و $N=2$، اینورتر شبه منبع امپدانسی مبتنی بر ترانسفورماتور [19] به ازای $n=2$، اینورتر منبع امپدانسی [1] و شبه منبع امپدانسی [14] نشان می‌دهد. با توجه به این که ساختار پیشنهادی در شاخص مدولاسیون بیش‌تر یا چرخه کاری کم‌تر می‌تواند بهره ولتاژ بالاتری را مهیا کند پس در D_{ST} پایین تنش ولتاژ دو سر خازن‌های C_1 و C_2 در ساختار پیشنهادی به نسبت بهره ولتاژی که در اختیار قرار می‌دهد کم‌تر است.



شکل (9): مقایسه تنش ولتاژ دو سر خازن C_1



شکل (10): مقایسه تنش ولتاژ دو سر خازن C_2

5- نتایج شبیه‌سازی

به منظور اثبات تئوری‌های بیان شده در بخش‌های قبلی، نتایج شبیه‌سازی برای ساختار پیشنهادی نشان داده شده در شکل (1) به ازای نسبت تبدیل $n=2$ و تعداد سلف‌های $N=2$ در این قسمت آورده شده است. شبیه‌سازی در محیط نرم‌افزار PSCAD/EMTDC انجام گرفته است. در شبیه‌سازی‌ها مقادیر المان‌ها و سایر پارامترها به صورت جدول (2) انتخاب شده‌اند. لازم به ذکر است که بار خروجی متعادل بوده و ستاره‌ی مقاومتی زمین نشده می‌باشد. هم چنین D_{ST} برابر با 0.15 انتخاب شده است.

شکل (11) پالس‌های اعمالی به کلیدها را نشان می‌دهد. روشن شدن هم‌زمان کلیدهای S_1 و S_4 یا S_3 و S_6 یا S_5 و S_2 منجر به ایجاد حالت ST می‌شود. مطابق شکل (12) در حالت ST ولتاژ شینه dc صفر است و بیشینه ولتاژ شینه dc حدود 171 ولت می‌باشد که

[Downloaded from ieijqp.ir on 2026-02-21]

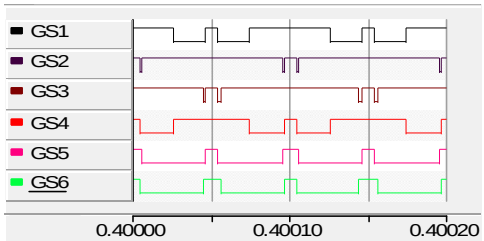
[DOR: 20.1001.1.23222344.1394.4.2.5.0]

منطبق بر نتیجه‌ی حاصل شده از رابطه‌ی (24) به ازای $D_{ST} = 0.15$ و $V_i = 50\,\mathrm{V}$ می‌باشد.

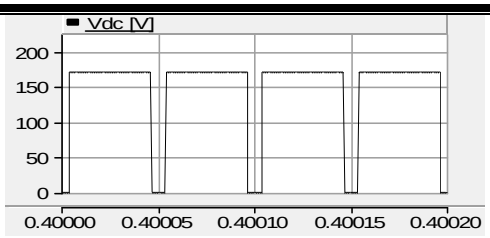
شکل (13) ولتاژ ac خط به خط خروجی اینورتر و شکل (14) جریان خط خروجی اینورتر را نشان‌می‌دهد که با روش مدولاسیون پهنای پالس سینوسی با شاخص مدولاسیون $M = 0.85$ به دست آمده است. مطابق شکل (15) ولتاژ دو سر خازن C_2 حدود 77 ولت است که منطبق بر نتیجه حاصل شده از رابطه (22) می‌باشد. هم چنین، مطابق شکل (16) ولتاژ دو سر خازن C_1 حدود 146 ولت است که با نتیجه حاصل شده از رابطه (23) مطابقت می‌کند. شکل (17) جریان عبوری از سلف‌های L_1 و L_2 را نشان می‌دهد. مطابق این شکل در حالت ST ولتاژ دو سر سلف‌های موازی شده $V_i + V_{C2} = 97\mathrm{V}$ می‌باشد لذا جریان عبوری از آن‌ها به صورت خطی افزایش می‌یابد و در غیر این حالت ولتاژ دو سر سلف‌های سری شده منفی می‌باشد که منجر به کاهش جریان عبوری از آن‌ها می‌شود.

جدول (2): مقادیر انتخابی در شبیه‌سازی

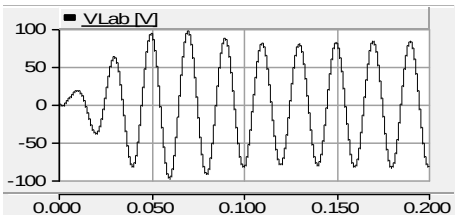
V_i	$50V$
L_m	$600\ \mu H$
$L_1 = L_2$	$500\ \mu H$
$C_1 = C_2$	$400\ \mu F$
D_{ST}	0.15
N	2
n	2
L_f	$20mH$
C_f	$20\mu F$
R_L	$5\Omega/phase$
f_s	$10kHz$
r_L	0.1Ω
r_C	$0.2\,\Omega$
V_D	0.7
R_D	0.1Ω
$t_{on} + t_{off}$	$1\,\mu s$



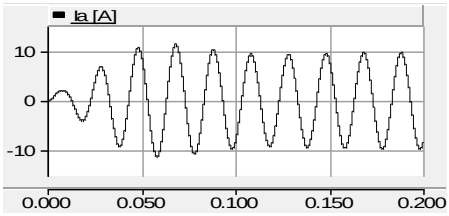
شکل (11): پالس‌های اعمالی به کلیدها



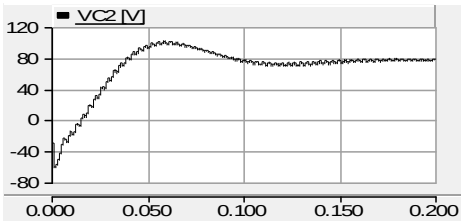
شکل (12): ولتاژ شینه dc



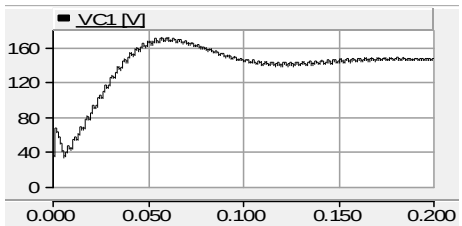
شکل (13): ولتاژ خط به خط خروجی اینورتر



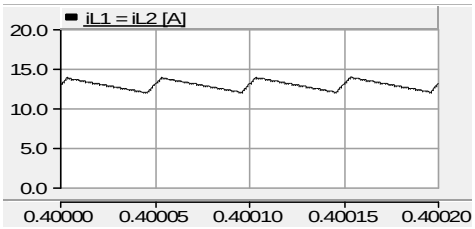
شکل (14): جریان خط خروجی اینورتر



شکل (15): ولتاژ دو سر خازن C_2



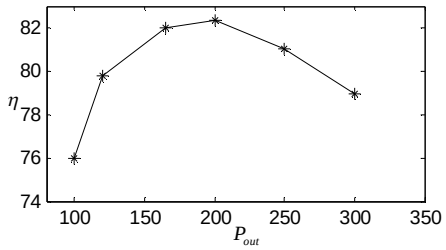
شکل (16): ولتاژ دو سر خازن C_1



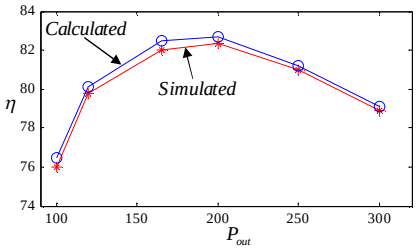
شکل (17): جریان سلف‌های L_1 و L_2

[Downloaded from ieijqp.ir on 2026-02-21]
[DOR: 20.1001.1.23222344.1394.4.2.5.0]

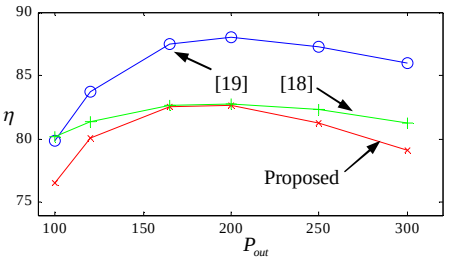
با توجه به مقادیر جدول (2) و روابط به دست آمده برای تلفات ساختار پیشنهادی، تلفات و راندمان ساختار پیشنهادی را در توان‌های خروجی مختلف محاسبه شده و منحنی راندمان بر حسب توان خروجی در ساختار پیشنهادی در شکل (18) نشان داده شده است. شکل (19) مقایسه منحنی‌های راندمان بر حسب توان خروجی را در دو حالت محاسبه شده و اندازه‌گیری شده از طریق شبیه‌سازی نشان می‌دهد که تقریباً با هم یکسان هستند. شکل (20) مقایسه راندمان ساختار پیشنهادی را با مراجع [18] و [19] را نشان می‌دهد. همان طور که از شکل مشاهده می‌شود راندمان ساختار پیشنهادی تقریباً با راندمان ساختار ارائه شده در مرجع [18] یکسان بوده و پایین‌تر از ساختار ارائه شده در مرجع [19] است. با وجود این ساختار پیشنهادی بهره ولتاژ بالاتری در اختیار قرار می‌دهد.



شکل (18): منحنی راندمان بر حسب توان خروجی ساختار پیشنهادی



شکل (19): مقایسه منحنی‌های راندمان بر حسب توان خروجی محاسبه شده و اندازه‌گیری شده از طریق شبیه‌سازی



شکل (20): مقایسه راندمان ساختار پیشنهادی با ساختارهای دیگر

6- نتیجه‌گیری

در این مقاله، یک ساختار جدید برای اینورتر شبه منبع امپدانسی پیشنهاد شد. ساختار پیشنهادی مبتنی بر ترانسفورماتور و سلول سلف‌های کلیدزنی شده می‌باشد و می‌تواند نسبت به ساختارهای مرسوم بهره‌ی ولتاژ بالاتری را در اختیار قرار دهد. در ساختار پیشنهادی می‌توان بازه خیلی بزرگی از ضریب افزایش را به ازای تغییرات کوچک D_{ST} انتخاب کرد. بهره‌ی ولتاژ بالا، دارا بودن زمین مشترک بین منبع ورودی و اینورتر و عدم بروز جریان هجومی در لحظه‌ی راه‌اندازی از مزایای این ساختار به شمار می‌رود. به عنوان مثال، به ازای $D_{ST}=0.15$، $N=2$ و $n=2$ ضریب افزایش ساختار پیشنهادی برابر 3.46 است در حالی که ضریب افزایش ساختار ارائه شده در مرجع [1] برابر 1.42، در مرجع [14] برابر 1.42، در مرجع [18] برابر 1.35 و در مرجع [19] برابر 2.5 می‌باشد.

در این مقاله ضمن ارائه عمل‌کرد مبدل پیشنهادی در مدهای کاری مختلف، اندازه بهره‌ی ولتاژ و تنش ولتاژ دو سر خازن‌ها با ساختارهای مرسوم مقایسه شد. تلفات ساختار پیشنهادی محاسبه و منحنی راندمان بر حسب توان خروجی استخراج شد. صحت تحلیل‌های صورت گرفته توسط نتایج به دست آمده از شبیه‌سازی کامپیوتری مورد تائید قرار گرفت.

مراجع

[1] F.Z. Peng, "Z-source inverter," *IEEE Trans. Ind. Appl.*, vol. 39, no. 2, pp. 504–510, Mar./Apr. 2003.

[2] Q. Tran, T. Chun, J. Ahn, and H. Lee, "Algorithms for controlling both the dc boost and ac output voltage of Z-source inverter," *IEEE Trans. Ind. Electron.*, vol. 54, no. 5, pp. 2745–2750, Oct. 2007.

[3] F.Z. Peng, M. Shen, and Z. Qian, "Maximum boost control of the Z-source inverter," *IEEE Trans. Power Electron.*, vol. 20, no. 4, pp. 833–838, Jul. 2005.

[4] M. Shen, J. Wang, A. Joseph, F.Z. Peng, L.M. Tolbert, and D.J. Adams, "Constant boost control of the Z-source inverter to minimize current ripple and voltage stress," *IEEE Trans. Ind. Appl.*, vol. 42, no. 3, pp. 770–777, May/Jun. 2006.

[5] P.C. Loh, D.M. Vilathgamuwa, Y.S. Lai, G.T. Chua, and Y. Li, "Pulse width modulation of Z-source inverters," *IEEE Trans. Power Electron.*, vol. 20, no. 6, pp. 1346–1355, Nov. 2005.

[6] F.Z. Peng, A. Joseph, J. Wang, M. Shen, L. Chen, Z. Pan, E.O. Rivera, and Y. Huang, "Z-source inverter for motor drives," *IEEE Trans. Power Electron.*, vol. 20, no. 4, pp. 857–863, Jul. 2005.

[7] F.Z. Peng, M. Shen, and K. Holland, "Application of Z-source inverter for traction drive of fuel cell-battery hybrid electric vehicles," *IEEE Trans. Power Electron.*, vol. 22, no. 3, pp. 1054–1061, May 2007.

[8] Y. Huang, M. Shen, F.Z. Peng, and J. Wang, "Z-source inverter for residential photovoltaic systems," *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 1776–1782, Nov. 2006.

[9] P.C. Loh, D.M. Vilathgamuwa, G.J. Gajanayake, Y.R. Lim, and C.W. Teo, "Transient modeling and analysis of pulse-width modulated Z-source inverter," *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 498–507, Mar. 2007.

[10] J.B. Liu, J.G. Hu, and L.Y. Xu, "Dynamic modeling and analysis of Z-source converter-derivation of ac small signal model and design-oriented analysis," *IEEE Trans. Power Electron.*, vol. 22, no. 5, pp. 1786–1796, Sep. 2007.

[11] M. Shen, A. Joseph, J. Wang, F.Z. Peng, and D.J. Adams, "Comparison of traditional inverters and Z-source inverter for fuel cell vehicles," *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1453–1463, Jul. 2007.

[12] Y. Tang, S.J. Xie, and C.H. Zhang, "Z-Source ac–ac converters solving commutation problem," *IEEE Trans.*

[Downloaded from ieijqp.ir on 2026-02-21]

[DOR: 20.1001.1.23222344.1394.4.2.5.0]

Power Electron., vol. 22, no. 6, pp. 2146–2154, Dec. 2007.
[13] P.C. Loh, F. Blaabjerg, and C.P. Wong, "Comparative evaluation of pulse width modulation strategies for Z-source neutral-point-clamped inverter," *IEEE Trans. Power Electron.*, vol. 22, no. 3, pp. 1005–1013, May 2007.
[14] J. Anderson, F.Z. Peng, "Four quasi-Z-source inverters,". in *Proc. PESC*, 2008, Rhodes, Greece, pp. 2743-2749.
[15] D. Sun, B. Ge, X. Yan, D. Bi, H. Zhang, Y. Liu, H. Abu-Rub, L. Ben-Brahim, and F.Z. Peng, "Modeling, impedance design, and efficiency analysis of quasi-Z-source module in cascaded multilevel photovoltaic power system," *IEEE Trans. Ind. Electron.*, in *Press*.
[16] Q. Lei, D. Cao, and F.Z. Peng, "Novel loss and harmonic minimized vector modulation for a current-fed quasi-Z-source inverter in HEV motor drive application," *IEEE Trans. Power Electron*, in *Press*.
[17] O. Ellabban, H. Abu-Rub, and G. Baoming, "A quasi-Z-source direct matrix converter feeding a vector controlled induction motor drive," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 1, no. 2, pp. 59-72, June 2013.
[18] L. Pan, "L-Z-Source inverters," *IEEE Trans. Power Electron.*, vol. 29, no. 12, pp. 6534–6543, Dec. 2014.
[19] M.K. Nguyen, Y.C. Lim, and S.J. Park "Improved trans-Z-source inverter with continuous input current and boost inversion capability," *IEEE Trans. Power Electron.*, vol. 28, no. 10, pp. 4500–4510, Oct. 2013.
[20] B. Axelrod, Y. Berkovich, and A. Ioinovici, "Switched-capacitor/switched inductor structures for getting transformerless hybrid dc-dc PWM converters," *IEEE Trans. Circ. Sys.*, vol. 55, no. 2, pp. 687–696, Mar. 2008.
[21] D. Li, P.C. Loh, M. Zhu, F. Gao, and F. Blaabjerg, "Generalized multicell switched-inductor and switched-capacitor Z-source inverters," *IEEE Trans Power Electron*, vol. 28, no. 2, pp. 837-848, 2013.

زیرنویس‌ها

[1] Switched Inductor
[2] Z-Source Inverter (ZSI)
[3] Quasi Z-Source Inverter (QZSI)
[4] Trans-Quasi-Z-Source Inverter
[5] Sinusoidal Pulse Width Modulation (SPWM)
[6] Resistivity of the Conductor Material
[7] Mean-Length-per-Turn of the Winding
[8] Winding Fill Factor
[9] Core Window Area

[Downloaded from ieijqp.ir on 2026-02-21]
[DOR: 20.1001.1.23222344.1394.4.2.5.0]