Iranian Electric Industry Journal
Quality & Productivity
P.P 26-44

Vol. 15/ No. 2/ Summer 2026
ISSN 2322-2344
EISSN 2717-1639

A Novel Enhanced-Cell Switched-Inductor Quasi-Z-Source Inverter with High Voltage Gain

Zahra Shakeri alamshiri[1], Tohid Nouri[2*], Ali Seifi[3]
[1] z.shakeri2103@iau.ac.ir
* [2]Tohid.Nouri@iau.ac.ir
[3]m.shaneh@iau.ac.ir

Abstract:
This paper proposes a novel quasi-Z-source inverter (qZSI), referred to as EcSL-qZSI, with enhanced voltage-boost capability. The proposed topology employs two independent switched-inductor cells in the impedance network, enabling higher voltage gain without an additional DC–DC conversion stage. It also preserves the continuous input current and common ground between the DC source and inverter bridge. Analytical and comparative studies are performed to evaluate the voltage gain and voltage stresses of the proposed topology. For a shoot-through duty ratio of $D = 0.243$and modulation index of $M = 0.757$, the proposed inverter achieves a boost factor of $B = 6.54$and a voltage gain of $G = 4.95$. The capacitor voltage stress is also lower than that of several high-gain impedance-source topologies. Simulation and experimental results verify the theoretical analysis and confirm the effectiveness of the proposed topology.
Keywords: Quasi-Z-source inverter, switched-inductor, voltage gain, boost factor, high-gain inverter, voltage stress.

1. Introduction

Impedance-source inverters have attracted significant attention in power-electronic and renewable-energy applications because they can provide buck–boost operation in a single power-conversion stage. Quasi-Z-source inverters (qZSIs) additionally provide desirable features such as continuous input current and a common ground between the DC source and inverter bridge. However, conventional qZSI structures have limited voltage-boost capability, restricting their application in systems requiring a high voltage step-up ratio.

Several high-gain impedance-source topologies have been proposed to overcome this limitation. However, increased voltage gain is often achieved at the expense of higher component count, circuit complexity, semiconductor voltage stress, or reduced practical reliability. Therefore, an appropriate trade-off between voltage gain, component count, voltage stress, and circuit simplicity is required.

To address this issue, the EcSL-qZSI topology is proposed in this paper. Its main innovation is the integration of two independent switched-inductor cells into the qZSI impedance network. This configuration enhances the voltage-boost capability while retaining the continuous input current and common-ground characteristics of the qZSI.

2. Proposed EcSL-qZSI Topology

The proposed EcSL-qZSI consists of four inductors $L_1 - L_4$, four capacitors $C_1 - C_4$, five diodes, and a three-phase inverter bridge. The impedance network includes two functional switched-inductor sections. The first section comprises L_1, L_3, D_1, D_2, and D_3, while the second section includes L_2, L_4, C_3, C_4, and D_4. The input diode D_{in}connects the DC source to the inverter bridge.

The inverter operates in two main states: shoot-through and non-shoot-through. During the shoot-through state, energy is stored in the impedance network, increasing the voltage available at the inverter bridge. During the non-shoot-through state, the stored energy is transferred to the inverter bridge and load. The use of two independent switched-inductor cells provides enhanced voltage boosting while maintaining the principal characteristics of the qZSI.

3. Performance Analysis

[Downloaded from ieijqp.ir on 2026-10-16]

The proposed topology is evaluated in terms of voltage gain, modulation capability, and voltage stresses. At $D = 0.243$and $M = 0.757$, the proposed topology achieves $B = 6.54$and $G = 4.95$. Comparative analysis shows that the proposed inverter provides favorable voltage-boost capability relative to the considered high-gain impedance-source topologies. In addition, its total capacitor voltage stress is lower than that of several high-gain structures, including EB-ZSI, EB-qZSI, and EEB-ZSI.

A sensitivity analysis is performed for $V_{in} = 48$, 60, and 72 V at a constant shoot-through duty ratio of $D = 0.243$. The capacitor and diode voltage stresses increase approximately linearly with the input voltage, consistent with the theoretical relationships. C_1experiences the highest capacitor voltage stress, followed by C_2, whereas $C_3$and C_4have equal voltage stresses. Among the diodes, $D_{in}$and D_4experience the highest reverse-voltage stresses and are therefore critical for device voltage-rating selection.

4. Simulation Results

The proposed inverter is simulated with $V_{in} = 60$V, $D = 0.243$, $M = 0.757$, $f_s = 10.5$kHz, and $f_o = 50$Hz. The impedance-network inductors are $L_1 = L_2 = L_3 = L_4 = 1$mH, and the capacitors are $C_1 = C_2 = C_3 = C_4 = 470$µF. A three-phase resistive-inductive star-connected load with $R_L = 60\Omega$ and $L_L = 1$mH is used.

The simulation results give $B = 6.54$and $G = 4.95$. The capacitor voltages are approximately $V_{C1} = 175$V, $V_{C2} = 157$V, $V_{C3} = 78.6$V, and $V_{C4} = 78.6$V. The peak DC-link voltage reaches approximately 340 V. The average inductor currents are approximately $i_{L1} = i_{L3} = 7.9$A and $i_{L2} = i_{L4} = 9.7$A. These results confirm the proper operation of the proposed impedance network and its ability to provide the required voltage boost.

5. Experimental Verification

An experimental prototype was constructed to validate the analytical and simulation results. The prototype was tested at $V_{in} = 60$V, $D = 0.243$, and $M = 0.757$using the same three-phase resistive-inductive load. The measured peak DC-link voltage is approximately 335 V, compared with the theoretical value of 392.4 V. The measured capacitor voltages are $V_{C1} = 168$V, $V_{C2} = 150$V, $V_{C3} = 75.5$V, and $V_{C4} = 75$V. The inductor currents are approximately $i_{L1} = 7.9$A, $i_{L2} = 9.65$A, $i_{L3} = 7.8$A, and $i_{L4} = 9.6$A.

The difference between the theoretical and experimental results is mainly attributed to voltage drops, conduction losses, and other nonideal characteristics of the practical components. The experimental voltage and current waveforms show good agreement with the simulation results, confirming the validity of the proposed topology.

6. Conclusion

A novel enhanced-cell switched-inductor quasi-Z-source inverter has been proposed to increase voltage gain while preserving the main advantages of qZSI structures. The integration of two independent switched-inductor cells provides enhanced voltage boosting without an additional DC–DC conversion stage, while continuous input current and a common ground between the DC source and inverter bridge are retained.

At $D = 0.243$and $M = 0.757$, the proposed topology achieves a boost factor of 6.54 and a voltage gain of 4.95. Comparative and sensitivity analyses demonstrate favorable voltage-gain performance and reduced capacitor voltage stress in comparison with several existing high-gain topologies. The simulation and experimental results are in good agreement and validate the theoretical analysis. Although the proposed structure requires additional components compared with conventional qZSI configurations, it provides an effective trade-off between voltage gain and component voltage stress. Future work will focus on advanced control strategies, higher-power operation, and efficiency and reliability evaluation.

Date of sending the article: 2026/07/10
Acceptance date of the article: 2026/08/19

Name of the Corresponding Author: Tohid Nouri
Corresponding Author's Address: Department of Electrical Engineering, Azad University of Najafabad, Iran

[Downloaded from ieijqp.ir on 2026-10-16]

Iranian Electric Industry Journal
Quality & Productivity
ص.ص 44-26

Vol. 15 / No. 2/ Summer 2026
ISSN 2322-2344
EISSN 2717-1639

ارائه یک اینورتر شبه منبع امپدانسی بهبود یافته مبتنی بر خازن و سلف کلید زنی با بهره ولتاژ بیشتر و تنش ولتاژ کمتر روی نیمه هادی‌ها

نوع مطالعه: پژوهشی

زهرا شاکری[۱]، توحید نوری[۱]، مهدی شانه[۲]، سارا حسن پور[۳]

[۱] گروه مهندسی برق ، واحد ساری، دانشگاه آزاد اسلامی، ساری، ایران

[۲] گروه مهندسی برق ، واحد نجف آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

[۳] گروه مهندسی برق، واحد رامسر، دانشگاه آزاد اسلامی، رامسر، ایران

چکیده:

در این مقاله، یک توپولوژی بهبودیافته برای اینورتر شبکه امپدانس توسعه‌یافته (IM) ارائه شده است که از زمین مشترک بین منبع ورودی و پل اینورتر بهره می‌برد. با توجه به محدودیت ضریب تقویت ولتاژ در ساختارهای متداول IM، در توپولوژی پیشنهادی از ترکیب سلول‌های سلف–خازن به‌منظور افزایش تقویت ولتاژ استفاده شده است. نوآوری اصلی این ساختار، در مقایسه با اینورترهای متداول IM با تعداد یکسان عناصر فعال و غیرفعال، دستیابی هم‌زمان به بهره ولتاژ بیشتر، کاهش تنش ولتاژی کلیدهای قدرت در سطوح تقویت یکسان و امکان استفاده از سلف‌هایی با اندوکتانس کمتر است. بررسی‌های تحلیلی نشان می‌دهد که ضریب تقویت ولتاژ اینورتر پیشنهادی در مقایسه با هفت توپولوژی مرجع از جمله EB-ZSI و EB-qZSI به ویژه در دوره‌های سیکل شوت-ترو بالای ۰٫۲۵، به طور محسوسی افزایش یافته است. علاوه بر این، تنش کل ولتاژ خازن در مقایسه با اینورترهای با بهره بالا مانند EB-ZSI، EB-qZSI و EEB-ZSI کمتر است. این مقاله ساختار توپولوژی پیشنهادی و تحلیل نظری را به تفصیل شرح می‌دهد و سپس یک مقایسه جامع عملکرد با طرح‌های پیشرفته ارائه می‌کند. همچنین، مجموع تنش ولتاژی خازن‌ها در مقایسه با ساختارهای با بهره ولتاژ بالا نظیر EB-ZSI، EB-qZSI و EEB-ZSI کمتر بوده که این ویژگی موجب کاهش تنش الکتریکی مؤلفه‌ها و بهبود قابلیت اطمینان مبدل می‌شود. در ادامه، ساختار توپولوژی پیشنهادی و تحلیل تئوری عملکرد آن به صورت جامع ارائه شده و سپس عملکرد آن از طریق مقایسه با پیشرفته‌ترین توپولوژی‌های موجود در این حوزه ارزیابی شده است. در نهایت، نتایج شبیه‌سازی و آزمون‌های آزمایشگاهی، صحت تحلیل‌های انجام‌شده و عملکرد مطلوب اینورتر پیشنهادی را از نظر ضریب بهره ولتاژ، کاهش تنش ولتاژی و بهبود شاخص‌های عملکردی تأیید می‌کنند.

کلمات کلیدی: ضریب تقویت ولتاژ، اینورتر شبه منبع امپدانسی (qZSI)، سلول سلف-کلیدزنی، اینورتر با بهره ولتاژ بالا.

تاریخ ارسال مقاله: ۱۴۰۵/۰۴/۱۹

تاریخ پذیرش مقاله: ۱۴۰۵/۰۵/۲۸

نام نویسنده‌ی مسئول : توحید نوری

نشانی نویسنده‌ی مسئول : دانشگاه آزاد اسلامی واحد ساری، ساری، ایران

[Downloaded from ieijqp.ir on 2026-10-16]

۱- مقدمه

در سال‌های اخیر، اینورترهای منبع ولتاژ (VSI[1]) و اینورترهای منبع جریان (CSI[2]) به‌عنوان دو توپولوژی متداول مبدل‌های توان، کاربرد گسترده‌ای در سامانه‌های الکترونیک قدرت و صنایع مختلف یافته‌اند. با این حال، هر یک از این ساختارها دارای محدودیت‌هایی می‌باشند؛ به گونه‌ای که اینورترهای منبع ولتاژ تنها قابلیت عملکرد در حالت کاهنده ولتاژ را دارند، در حالی که اینورترهای منبع جریان صرفاً امکان افزایش ولتاژ را فراهم می‌کنند. به منظور رفع این محدودیت‌ها، توپولوژی اینورتر منبع امپدانسی (ZSI) معرفی شد که در دهه‌های اخیر به یکی از برجسته‌ترین توپولوژی‌های اینورتر تبدیل شده است. اینورترZS سازگاری عالی برای کاربردهای انرژی تجدیدپذیر از جمله سیستم‌های فتوولتائیک (PV[3])، نیروگاه‌های بادی و پیل‌های سوختی نشان داده است [۱]. این توپولوژی دارای یک شبکه امپدانس X شکل منحصر به فرد شامل دو سلف (L_1,L_2) و دو خازن (C_1, C_2) است که قادر به انجام تمام تبدیل‌های اصلی توان (DC-AC، DC-DC، AC-AC و AC-DC) می‌باشد. به‌ویژه، توانایی آن در دستیابی به هر دو عملکرد کاهنده و افزاینده از طریق حالت‌های کلیدزنی شوت-ترو در یک مرحله تبدیل توان، نیاز به زمان‌مرده را حذف می‌کند و در نتیجه قابلیت اطمینان افزایش‌یافته، اعوجاج شکل موج خروجی کاهش‌یافته و هزینه‌های سیستم پایین‌تر را به همراه دارد. در سال‌های اخیر، پژوهش‌های متعددی با هدف توسعه اینورترهای منبع امپدانسی، شامل ارائه توپولوژی‌های جدید، راهبردهای کنترلی پیشرفته و کاربردهای متنوع آن‌ها در سامانه‌های تبدیل انرژی، انجام شده است [۲].

منابع انرژی تجدیدپذیر توزیع‌شده مانند سلول‌های فتوولتائیک (PV)و پیل‌های سوختی، ولتاژ DC تولید می‌کنند که برای اتصال به شبکه به یک رابط اینورتر نیاز دارند. با این حال، آرایه‌های PV به دلیل تغییرات تابش خورشید و دمای محیط، تغییرات قابل توجهی را در ولتاژ خروجی تجربه می‌کنند. ازاین‌رو، اینورترهای مورد استفاده در سامانه‌های فتوولتائیک متصل به شبکه باید علاوه بر تبدیل توان DC به AC، قابلیت افزایش و کاهش ولتاژ را نیز داشته باشند تا ولتاژ خروجی متناوب در شرایط مختلف بهره‌برداری ثابت باقی بماند. در این میان، اینورتر منبع امپدانسی (ZSI) به‌عنوان یکی از راهکارهای مؤثر برای افزایش قابلیت استخراج حداکثر توان از سامانه‌های فتوولتائیک معرفی شده است [۳].

با توسعه نیروگاه‌های فتوولتائیک متصل به شبکه، نیاز به مبدل‌های توان با قابلیت عملکرد مناسب در شرایط متغیر بهره‌برداری، به‌ویژه در حضور تغییرات شدید تابش خورشیدی و دمای محیط، اهمیت بیشتری یافته است. در بسیاری از سامانه‌هایPV، اختلاف بین سطح ولتاژ تولیدی آرایه خورشیدی و ولتاژ مورد نیاز شبکه، استفاده از یک مرحله تقویت‌کننده DC-DC مجزا را ضروری می‌سازد که می‌تواند موجب افزایش حجم، هزینه و تلفات سیستم شود. در این راستا، اینورترهای منبع امپدانسی و شبه منبع امپدانسی با قابلیت افزایش ولتاژ در داخل مرحله تبدیلDC-AC ، امکان دستیابی به ساختارهای تک‌مرحله‌ای را فراهم کرده و ضمن کاهش تعداد تجهیزات قدرت، موجب بهبود راندمان، قابلیت اطمینان و انعطاف‌پذیری کنترل در سامانه‌های فتوولتائیک متصل به شبکه شده‌اند [۴].

از طرفی، توپولوژی‌های ZSI متعارف دارای چندین محدودیت هستند، از جمله: (۱) ضریب تقویت ولتاژ محدود ، (۲) جریان‌های هجومی بالا در هنگام راه‌اندازی، (۳) تنش ولتاژ بیش از حد بر روی مؤلفه‌ها (به‌ویژه خازن‌ها)، (۴) جریان ورودی ناپیوسته، و (۵) عدم وجود زمین مشترک بین پل اینورتر و منبع DC. برای رفع این محدودیت_ها، توپولوژی‌های اینورتر شبه منبع امپدانسی (qZSI) توسعه یافتند. این ساختار با ایجاد جریان ورودی پیوسته، کاهش تنش ولتاژ خازن‌ها و مهمتر از همه، اتصال زمین مشترک بین منبع ورودی و پل اینورتر عملکرد بهتری نسبت به ZSI متداول ارائه می‌دهد. با وجود این بهبودها، اینورتر شبه منبع امپدانسی همچنان ضریب تقویت ولتاژ مشابه ZSIهای کلاسیک را حفظ می‌کند و آن را برای بسیاری از کاربردهای صنعتی که به بهره ولتاژ بالاتر نیاز دارند، با محدودیت مواجه می‌کند [۵].

پژوهش‌های اخیر نقش مهمی در توسعه و بهبود توپولوژی‌های اینورتر منبع امپدانسی (ZS) برای کاربردهای انرژی‌های تجدیدپذیر ایفا کرده‌اند. در این زمینه، مطالعات متعددی با هدف افزایش بازده، بهبود ضریب تقویت ولتاژ و ارتقای کیفیت توان انجام شده است. همچنین برخی مطالعات اخیر نشان داده‌اند که توپولوژی‌هایqZSI ، به دلیل قابلیت تنظیم بهره ولتاژ و سازگاری با راهبردهای کنترلی، امکان پیاده‌سازی مؤثر الگوریتم‌های ردیابی نقطه توان بیشینه (MPPT) را در سامانه‌های فتوولتائیک فراهم می‌کنند. علاوه بر این، این توپولوژی‌ها کنترل مناسب توان تزریقی به شبکه، کاهش تنش ولتاژ ادوات نیمه‌هادی و بهبود کیفیت توان، بهره ولتاژ، بازده و اعوجاج هارمونیکی کل را نیز امکان‌پذیر می‌سازند [۶و۷و۸] .

[1] Voltage-source inverter
[2] Current-source inverter
[3] Photovoltaic

[Downloaded from ieijqp.ir on 2026-10-16]

علاوه بر کاربرد در نیروگاه‌هایPV، ویژگی‌هایی نظیر عملکرد افزاینده-کاهنده ولتاژ، قابلیت تحمل حالت Shoot-Through و امکان کار با منابع DC متغیر، سبب گسترش استفاده از اینورترهای مبتنی بر منبع امپدانسی در سامانه‌های ذخیره‌سازی انرژی، خودروهای الکتریکی و ریزشبکه‌ها شده است. در سامانه‌های ذخیره‌سازی انرژی مبتنی بر باتری (BESS)، اینورترهای qZSI به دلیل قابلیت تبادل توان دوطرفه، کاهش مراحل تبدیل انرژی و امکان کنترل مؤثر جریان شارژ و دشارژ، برای یکپارچه‌سازی باتری‌ها با شبکه‌های قدرت و بهبود پایداری ریزشبکه‌ها مورد توجه قرار گرفته‌اند [۹]. در کاربردهای خودروهای الکتریکی و هیبریدی نیز، این توپولوژی‌ها با حذف مبدل‌های چندمرحله‌ای، کاهش حجم سیستم محرکه و سازگاری بهتر با تغییرات ولتاژ باتری، امکان افزایش راندمان و بهبود مدیریت انرژی را فراهم می‌کنند [۱۰و۱۱]. همچنین، استفاده از ساختارهای مبتنی بر ZSI/qZSIدر ریزشبکه‌ها و منابع تولید پراکنده، به دلیل قابلیت کنترل توان، پشتیبانی ولتاژ و تسهیل اتصال منابع تجدیدپذیر، به‌عنوان یکی از مسیرهای توسعه مبدل‌های توان نسل جدید مطرح شده است[۱۲].

در راستای افزایش قابلیت تقویت ولتاژ و کاهش تنش وارد بر تجهیزات، پژوهشگران ساختارهای مبتنی بر سلف‌های کوپل‌شده را پیشنهاد کرده‌اند که ضمن افزایش بهره ولتاژ، تنش الکتریکی اجزای مدار را نیز کاهش می‌دهند [۱۳]، و ساختارهای امپدانس X شکل بهینه‌شده هستند که سبب افزایش بازده و بهبود عملکرد اینورترهای منبع امپدانسی ارائه شده است [۱۴]. به‌ویژه برای کاربردهای سخت‌گیرانه، نسل جدید اینورترهای شبه منبع امپدانسی با قابلیت تقویت ولتاژ بیشتر، و نسبت تبدیل بالا از خود نشان داده‌اند [۱۵]. در همین راستا، استفاده از شبکه‌های کلیدزنی در ساختار اینورترهای ZSموجب افزایش ضریب تقویت ولتاژ و کاهش تنش ولتاژ خازن‌ها شده است [۱۶]. همچنین، به‌کارگیری اینورترهای اینورتر شبه منبع امپدانسی در سامانه‌های فتوولتائیک متصل به شبکه، علاوه بر حفظ پایداری عملکرد در شرایط متغیر محیطی، امکان انطباق با استانداردهای بین‌المللی را نیز فراهم کرده است [۶]. مطالعات پیاده‌سازی نشان می‌دهد که این توپولوژی‌ها با ساختار فشرده و در عین حال مقابله با چالش‌های فرکانس بالا، به بهره ولتاژ خوبی دست می‌یابند[۱۷].

در حوزه یکپارچه‌سازی خودروهای الکتریکی، اینورترهای اصلاح‌شده ZS نقش مهمی در توسعه سامانه‌های شارژ فتوولتائیک به خودرو ایفا می‌کنند. این ساختارها با بهره‌گیری از مدیریت هوشمند چندمنبعی، امکان انتقال توان با بازده بالا و عملکرد پایدار را فراهم می‌کنند[۱۸]. همچنین، در سامانه‌های هیبریدی مبتنی بر منابع انرژی تجدیدپذیر، اینورترهای شبه منبع امپدانسی مجهز به ذخیره‌ساز باتری توانسته‌اند با استفاده از حداقل تعداد حسگرها، تولید توان را بهینه کرده و عملکرد سیستم را بهبود بخشند [۱۹]، در حالی که ، توپولوژی‌های فشرده با بهره ولتاژ بالا، گزینه‌ای مناسب برای سامانه‌های پمپاژ آب خورشیدی مستقل از شبکه محسوب می‌شوند [۲۰]. در سال‌های اخیر، توسعه روش‌های کنترلی پیشرفته موجب ارتقای عملکرد اینورترهای ZS شده است. از جمله این روش‌ها می‌توان به کنترل پیش‌بینی جریان برای اینورترهای چندسطحی اشاره کرد [۲۱] و کنترل غیرمتمرکز برای کاربردهای ریزشبکه [۲۲] که هر دو کیفیت توان و پایداری سیستم را بهبود می‌بخشند. در کنار این پیشرفت‌ها، استراتژی‌های نوین مدولاسیون نیز تأثیر قابل‌توجهی بر افزایش بازده مبدل‌ها داشته‌اند؛ به‌گونه‌ای که روش‌های کنترل پیش‌بینی با حذف اثرات ریپل جریان سلف، عملکرد دینامیکی سیستم را بهبود داده‌اند [۲۳] و طرح‌های مدولاسیون پهنای پالس برداری فضایی (PWM) که تلفات کلیدزنی را کاهش داده و در عین حال بازده را بهبود می‌بخشند [۲۴]. نسخه‌های ساده‌شده این روش‌های مدولاسیون [۲۵] ضمن حفظ عملکرد مطلوب، پیچیدگی محاسباتی را کاهش داده و امکان استفاده از آن‌ها را در طیف گسترده‌ای از کاربردها فراهم ساخته‌اند. مجموعه این دستاوردها نشان می‌دهد که فناوری اینورترهای ZSو مشتقات آن توانسته است بسیاری از چالش‌های مرتبط با یکپارچه‌سازی منابع انرژی تجدیدپذیر را برطرف سازد و راهکارهایی با بازده بالا، قابلیت اطمینان مناسب و هزینه قابل‌قبول برای سامانه‌های متصل به شبکه، ریزشبکه‌ها و کاربردهای تخصصی نظیر شارژ خودروهای الکتریکی ارائه دهد. پیشرفت‌های اخیر در روش‌های کنترلی، افق‌های جدیدی را برای بهبود عملکرد اینورترهای ZS گشوده است. در این راستا، روش‌های کنترل پیش‌بینی مبتنی بر مدل با دقت بالا، به‌ویژه در سامانه‌های مجهز به ذخیره‌ساز باتری، موجب بهبود پاسخ دینامیکی و افزایش سرعت عملکرد سیستم شده‌اند [۲۶]، و تکنیک‌های بهبودیافته PWM با کاهش ریپل جریان سلف، کیفیت توان خروجی را ارتقا داده‌اند [۲۷]. برای سیستم‌های متصل به شبکه، مدل‌سازی جدید فضای حالت [۲۸] و استراتژی‌های کنترل هیبریدی [۲۹] دقت شبیه‌سازی و پایداری شبکه را بهبود بخشیده‌اند، و روش‌های مدولاسیون بردار فضایی توانسته‌اند عملکرد مبدل را در شرایط تغییرات بار بهینه کنند [۳۰]. در زمینه افزایش قابلیت اطمینان، ساختارهای مقاوم در برابر خطا، از جمله سامانه‌های جبران

[Downloaded from ieijqp.ir on 2026-10-16]

جریان، قادرند کیفیت توان را حتی در زمان وقوع خطاهای شبکه حفظ کنند [۳]. کاربردهای حمل‌ونقل از اینورتر شبه منبع امپدانسیهای دومنبعی مجهز به راهبردهای با مدیریت انرژی وابسته به حالت ، امکان بهره‌برداری بهینه از منابع مختلف انرژی در خودروهای پیل سوختی را فراهم کرده‌اند[۳۱] که استفاده کارآمد از چندمنبع را نشان می‌دهند. برای سامانه‌های مستقل از شبکه نیز، استفاده از ساختارهای بدون ترانسفورمر موجب کاهش هارمونیک‌ها و جریان‌های نشتی شده و عملکرد کلی سیستم را بهبود بخشیده است [۳۲]. مطالعات مروری جامع با تحلیل مزایا و محدودیت‌های توپولوژی‌های مختلف و روش‌های مدولاسیون، دستورالعمل‌های ارزشمندی برای طراحی و توسعه سامانه‌های فتوولتائیک متصل به شبکه مبتنی بر اینورترهای ZS ارائه کرده‌اند[۳۳، ۳۴].

نوروزی و همکاران (۲۰۲۲) یک اینورتر افزاینده بدون ترانسفورماتور مبتنی بر ساختار Semi-Quasi-Z-Source با زمین مشترک ارائه کردند که با هدف دستیابی به بهره ولتاژ بالاتر و کاهش مشکلات ناشی از جریان نشتی در سامانه‌های فتوولتائیک طراحی شده است[۴۲].

مطالعات پیشین نشان می‌دهند که اینورترهای شبه منبع امپدانسی (qZSI) به دلیل قابلیت عملکرد افزاینده-کاهنده ولتاژ، جریان ورودی پیوسته و اتصال زمین مشترک بین منبع DC و پل اینورتر، به‌عنوان یکی از ساختارهای مناسب برای کاربردهای انرژی تجدیدپذیر مطرح شده‌اند. با این حال، محدودیت بهره ولتاژ در توپولوژی‌های متداول qZSI، استفاده از آن‌ها را در کاربردهایی که نیازمند افزایش قابل توجه سطح ولتاژ هستند، با چالش مواجه می‌کند. از سوی دیگر، ساختارهای با بهره ولتاژ بالا که در مطالعات اخیر ارائه شده‌اند، معمولاً با افزایش تعداد عناصر مدار، پیچیدگی ساختار، افزایش تنش ولتاژ ادوات یا کاهش قابلیت اطمینان همراه هستند. در این مقاله، یک توپولوژی جدید اینورتر شبه منبع امپدانسی سلف-کلیدزنی با نام EcSL-qZSIپیشنهاد شده است. ایده اصلی این ساختار، به‌کارگیری دو سلول سلف-کلیدزنی مستقل در شبکه شبه منبع امپدانسی به‌منظور افزایش قابلیت تقویت ولتاژ بدون نیاز به مرحله تبدیل DC-DC اضافی است. توپولوژی پیشنهادی ضمن حفظ مزایای اصلیqZSI ، شامل جریان ورودی پیوسته و زمین مشترک بین منبع ورودی و پل اینورتر، امکان دستیابی به بهره ولتاژ بالاتر و عملکرد مناسب از نظر تنش ولتاژ عناصر قدرت را فراهم می‌کند.

تفاوت اصلی توپولوژی پیشنهادی با ساختارهای موجود در این است که افزایش بهره ولتاژ در EcSL-qZSI بدون استفاده از مراحل تبدیل اضافی و در عین حال با حفظ ویژگی‌های مطلوب qZSIحاصل می‌شود. به عبارت دیگر، ساختار پیشنهادی تلاش می‌کند بین افزایش بهره ولتاژ، تعداد عناصر مدار، تنش ادوات و سادگی ساختار، یک مصالحه مناسب ایجاد کند.. همچنین ساختار این مقاله به شرح زیر است. در بخش دوم، اینورترهای مبتنی بر شبکه امپدانسی با قابلیت تقویت ولتاژ بالا معرفی و مرور می‌شوند. بخش سوم به تشریح ساختار و اصول عملکرد توپولوژی پیشنهادی EcSL-qZSI اختصاص دارد. در بخش چهارم، عملکرد اینورتر پیشنهادی با سایر توپولوژی‌های موجود از جنبه‌های مختلف مورد مقایسه قرار می‌گیرد. نتایج مطالعات شبیه‌سازی و ارزیابی‌های آزمایشگاهی به‌ترتیب در بخش‌های پنجم و ششم ارائه شده‌اند. در نهایت، بخش هفتم به جمع‌بندی نتایج، بیان دستاوردهای پژوهش و ارائه پیشنهادهایی برای تحقیقات آینده اختصاص یافته است.

۲- مدل شبه منبع امپدانسی کلاسیک و سایر توپولوژی‌ها

در شکل ۱ (الف)، ساختار یک اینورتر شبه منبع امپدانسی نشان داده شده است. این توپولوژی با هدف رفع محدودیت‌های موجود در اینورترهای منبع امپدانسی متعارف توسعه یافته و ضمن حفظ مزایای ساختار اصلی، عملکرد مناسب‌تری از نظر تقویت ولتاژ، قابلیت اطمینان و جریان ورودی پیوسته ارائه می‌دهد. بهره تقویت ولتاژ این مبدل را می‌توان به‌صورت ریاضی مطابق رابطه زیر بیان کرد[۳۹].

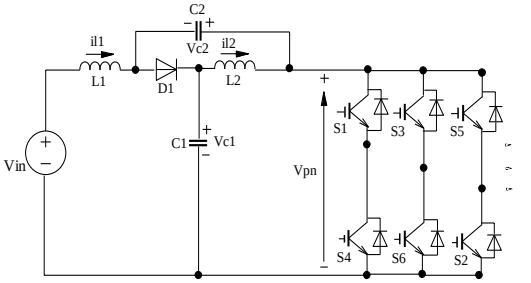
$$B=\frac{V_{pn}}{V_{dc}}=\frac{1}{1-2\left(\frac{T_0}{T}\right)}=\frac{1}{1-2D} \qquad (۱)$$

که در آن، T_0 مدت زمان حالت شوت-ترو[1] را در یک دوره کلیدزنی T نشان می‌دهد، که در آن $D=T_0/T$ سیکل کاری شوت-ترو کلیدها را نشان می‌دهد، و V□□ نماد ولتاژ پیک لینک DC است. شکل ۱(ب) توپولوژی اینورتر شبه منبع امپدانسی با قابلیت تقویت ولتاژ بهبودیافته را نشان می‌دهد. این ساختار با اعمال تغییراتی در شبکه امپدانسی، امکان دستیابی به بهره ولتاژ بالاتری نسبت به توپولوژی کلاسیک را فراهم می‌کند. ضریب تقویت ولتاژ این توپولوژی را می‌توان مطابق رابطه زیر بیان کرد.

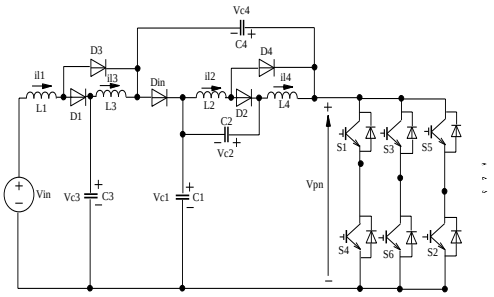
$$B=\frac{1}{1-4D+2D^2} \qquad (۲)$$

[1] shoot-through

[Downloaded from ieijqp.ir on 2026-10-16]



الف:(qZSI)

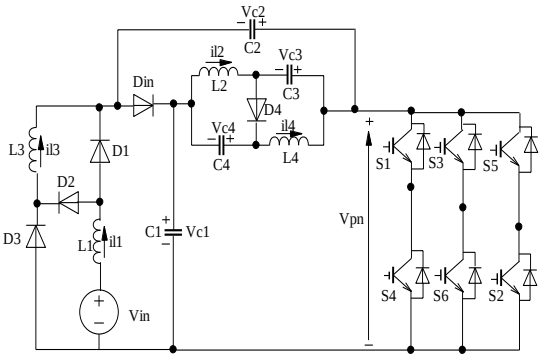


ب:(EB-qZSI)

شکل (۱): توپولوژی‌هایqZSI

۳- EcSL-qZSI پیشنهادی

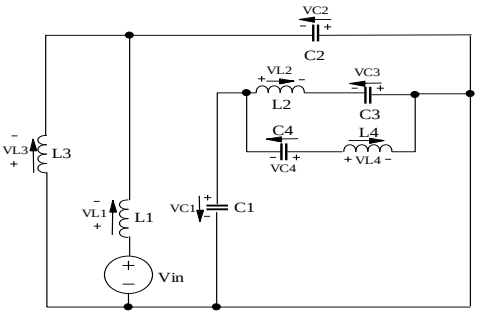
شکل (۲) پیکربندی مدار اینورتر شبه منبع امپدانسی با سلف-کلیدزنی بهبودیافته (EcSL-qZSI[1]) پیشنهادی را نشان می‌دهد که شامل چهار سلف (L_1-L_4) و خازن (C_1-C_4) و پنج دیود (D_1-D_5) است. شبکه دیود (D_1-D_5) وظیفه مهم اتصال منبع ولتاژ ورودی V_i به پل اینورتر را بر عهده دارد. این توپولوژی دارای دو بخش عملکردی متمایز است: بخش اول که توسط ترکیبL_1 ، L_3، D_1، D_2و D_3 تشکیل شده است؛ و بخش دوم که از L_2، L_4، C_3، C_4 و D_4 تشکیل شده است. این آرایش ساختاری با هدف افزایش قابلیت تقویت ولتاژ و بهبود عملکرد تبدیل توان نسبت به توپولوژی‌های متداول شبه منبع امپدانسی طراحی شده است.در نتیجه ضمن حفظ مزایای ذاتی ساختارهای شبه منبع امپدانسی ، بهره ولتاژ بالاتر و عملکرد مناسب‌تری را برای کاربردهای مبتنی بر منابع انرژی تجدیدپذیر فراهم می‌کند.



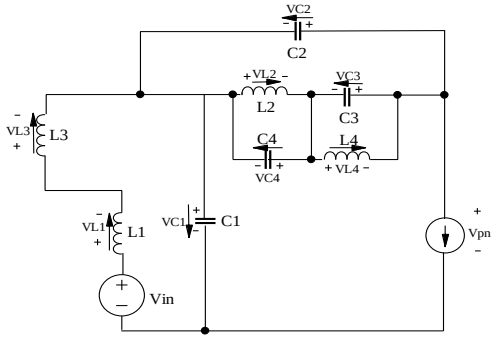
شکل (۲): مدل EcSL-qZSI پیشنهادی

۳-۱-اصول عملکرد EcSL-qZSI پیشنهادی

توپولوژی پیشنهادی در دو حالت اصلی کار می‌کند: شوت-ترو و غیر-شوت-ترو[2]، که مدارهای معادل آنها به ترتیب در شکل‌های ۳(الف) و ۳(ب) نشان داده شده است. برای ساده‌سازی تحلیل، فرض می‌شود که تمام مؤلفه‌های مدار ایده‌آل هستند. علاوه بر این، سلف‌ها (L_1–L_4) و خازن‌ها–C_1) (C_4یکسان در نظر گرفته می‌شوند، به این معنی که به‌ترتیب مقادیر اندوکتانس (L) و ظرفیت خازنی (C) یکسانی دارند.



الف:(Shoot-through state)



ب:(Non-shoot-through state)

شکل (۳): مدارهای معادل

- **وضعیت شوت-ترو**

در طول وضعیت شوت-ترو، تمام کلیدهای توان (S_1-S_6) به‌طور هم‌زمان روشن می‌شوند پل اینورتر عملاً در وضعیت اتصال کوتاه قرار می‌گیرد. در این حالت، دیودهای D_1 و D_3 بایاس مستقیم می‌شوند در حالی که D_2، D و D_4 در بایاس معکوس شده و از عبور جریان جلوگیری می‌کنند. در نتیجه انرژی ذخیره شده در خازن‌ها C_1-C_4 از طریق سلف‌های-L_1 L_4 تخلیه می‌شوند. رفتار مدار در این حالت با استفاده از مدار معادل شوت-ترو با اعمال قوانین ولتاژ و جریان کیرشهف (KVL/KCL)در شکل ۳(الف) قابل تحلیل است و می‌توان بر روی مدار به صورت ریاضی توصیف کرد و روابط اساسی را به دست آورد که توزیع ولتاژ و مشخصه تقویت ولتاژ توپولوژی پیشنهادی استخراج می‌شود.

[1] Enhanced-cell Switched-Inductor qZSI

[2] Non-shoot-through

[Downloaded from ieijqp.ir on 2026-10-16]

$$\begin{cases} V_{L1} = L_1 \dfrac{di_{l1}}{dt} = V_{in} + V_{C2} \\ V_{L2} = L_2 \dfrac{di_{l2}}{dt} = V_{C1} + V_{C3} \\ V_{L3} = L_3 \dfrac{di_{L3}}{dt} = V_{C2} \\ V_{L4} = L_4 \dfrac{di_{L4}}{dt} = V_{C1} + V_{C4} \\ V_{pn} = 0 \end{cases} \quad (۳)$$

$$\begin{cases} i_{C1} = C_1 \dfrac{dV_{C1}}{dt} = -i_{L2} - i_{L4} \\ i_{C2} = C_2 \dfrac{dV_{C2}}{dt} = -i_{L1} - i_{L3} \\ i_{C3} = C_3 \dfrac{dV_{C3}}{dt} = -i_{L2} \\ i_{C4} = C_4 \dfrac{dV_{C4}}{dt} = -i_{L4} \end{cases} \quad (۴)$$

- **وضعیت غیر-شوت-ترو**

در طول وضعیت غیر-شوت-ترو (شامل شش حالت فعال و دو حالت صفر)، کلیدهای توان و دیودهای D_1 - D_3خاموش می‌شوند، در حالی که D_2-D□-D_4 هدایت می‌کنند. پیکربندی متقارن بخش دوم، ولتاژ مساوی را در سراسر C_3 و C_4 تضمین می‌کند ($V_{C3}=V_{C4}$). در این حالت، سلف‌های L_1-L_4 انرژی ذخیره‌شده را به خازن‌های C_1-C_4 و بار منتقل می‌کنند. با اعمال KVL و KCL بر روی مدار معادل شکل ۳(ب) خواهیم داشت:

$$\begin{cases} V_{L1n} = L_1 \dfrac{di_{L1}}{dt} = V_{in} - V_{C1} - V_{L3n} \\ V_{L2n} = L_2 \dfrac{di_{L2}}{dt} = -V_{C2} - V_{L4n} \\ V_{L3n} = L_3 \dfrac{di_{L3}}{dt} = V_{in} - V_{C1} - V_{L1n} \\ V_{L4n} = L_4 \dfrac{di_{L4}}{dt} = -V_{C2} - V_{L2n} \end{cases} \quad (۵)$$

$$\begin{cases} V_{C2} = 2V_{C4} \\ V_{C3} = V_{C4} \end{cases} \quad (۶)$$

$$\begin{cases} i_{C_{1n}} = C_1 \dfrac{dV_{C1}}{dt} = i_{L_1} - i_{pn} \\ i_{C_{2n}} = C_2 \dfrac{dV_{C2}}{dt} = i_{L_4} - i_{pn} - i_{C_{3n}} \\ i_{C_{3n}} = C_3 \dfrac{dV_{C3}}{dt} = i_{L_4} - i_{pn} - i_{C_{2n}} \\ i_{C_{4n}} = C_4 \dfrac{dV_{C4}}{dt} = i_{L_2} - i_{L4} + i_{C_{3n}} \end{cases} \quad (۷)$$

علاوه بر این، در این وضعیت، مقدار پیک ولتاژ لینک DC برابر با مجموع ولتاژهای دو سر خازن‌های C_1 و C_2 است:

$$\hat{V}_{pn} = V_{C1} + V_{C2} \quad (۸)$$

۳-۲- ضریب تقویت

بر اساس اصل تعادل ولت-ثانیه، میانگین ولتاژ دو سر هر سلف (L_1–L_4) در یک دوره کلیدزنی (T) باید در حالت پایدار برابر با صفر باشد. اعمال این قانون اساسی بر روی توپولوژی پیشنهادی روابط حاکم زیر به دست می‌آید:

$$\begin{cases} DV_{L1} + (1-D)V_{L1n} = 0 \\ DV_{L2} + (1-D)V_{L2n} = 0 \\ DV_{L3} + (1-D)V_{L3n} = 0 \\ DV_{L4} + (1-D)V_{L4n} = 0 \end{cases} \quad (۹)$$

ولتاژهای دو سر خازن‌های C_1–C_3 و ولتاژ پیک لینک DC (V□□)را می‌توان به‌صورت توابعی از ولتاژ ورودی (V_i□) و سیکل کاری شوت-ترو (D) از طریق روابط (۳)، (۵) و (۸) به دست آورد:

$$\begin{cases} V_{C_1} = \dfrac{1-2D}{1-3D-2D^2} V_{in} \\ V_{C_2} = \dfrac{2D}{1-3D-2D^2} V_{in} \\ V_{C_3} = V_{C4} = \dfrac{D}{1-3D-2D^2} V_{in} \end{cases} \quad (۱۰)$$

$$\hat{V}_{p_n} = \frac{1}{1-3D-2D^2} V_{in} = BV_{in} \quad (۱۱)$$

ضریب تقویت B توپولوژی پیشنهادی را می‌توان به‌صورت زیر به دست آورد:

$$B = \frac{\hat{V}_{pn}}{V_{in}} = \frac{1}{1-3D-2D^2} \quad (۱۲)$$

دوره کاری شوت-ترو D به $0<D<0.28$ محدود می‌شود تا عملکرد ایمن تضمین شده و از تنش ولتاژ بیش از حد جلوگیری شود. به‌طور هم‌زمان، اعمال قانون تعادل آمپر-ثانیه بر روی خازن‌های C_1-C_4 در شرایط پایدار (که در آن میانگین جریان در دوره کلیدزنی T باید صفر باشد) روابط جریان زیر را از مجموعه روابط (۴) و (۷) به دست می‌دهد:

$$\begin{cases} (-i_{L_2} - i_{L_4})D + (i_{L_1} - i_i)(1-D) = 0 \\ (-i_{L_2} - i_{L_3})D + (-i_i + i_{L_4} - i_{C_{3n}})(1-D) = 0 \\ (-i_{L_2})D + (-i_i + i_{L_4} - i_{C_{2n}})(1-D) = 0 \\ (-i_{L_4})D + (i_{L2} - i_{L_4} + i_{C_{3n}})(1-D) = 0 \end{cases} \quad (۱۳)$$

از رابطه (۱۳)، میانگین جریان‌های عبوری از سلف‌های L_1-L_4 در شرایط عملکرد پایدار به‌صورت زیر به دست می‌آید:

$$\begin{cases} I_{L_1} = I_{L_3} = \dfrac{1-D}{1-3D-2D^2} I_{pn} \\ I_{L_2} = I_{L_4} = \dfrac{1-D^2}{1-3D-2D^2} I_{pn} \end{cases} \quad (۱۴)$$

برای توپولوژی EcSL-qZSI پیشنهادی، جریان ورودی (I_{in}) مستقیماً توسط جریان عبوری از سلف L_1 (i_{L1}) تامین می‌شود. به دلیل ساختار این توپولوژی، ریپل جریان ورودی

[Downloaded from ieijqp.ir on 2026-10-16]

به‌طور قابل‌توجهی کاهش یافته و در شرایط عملکرد ماندگار (Steady-State)، مقدار آن عملاً ناچیز بوده و به صفر میل می‌کند.

کنترل PWM اینورتر پیشنهادی

برای کنترل اینورترهای IM، می‌توان از روش‌های مختلف مدولاسیون پهنای پالس PWM مانند تقویت ساده، تقویت حداکثر و تقویت حداکثر ثابت استفاده کرد که هر کدام مزایا و معایب خاص خود را دارند. در این پژوهش، به دلیل سادگی پیاده‌سازی و کارایی مناسب، روش تقویت ساده انتخاب شده است. هنگام پیاده‌سازی این روش، از دو خط مستقیم که یا با مقدار پیک سیگنال‌های مرجع منطبق بوده یا از آن فراتر می‌روند، برای کنترل سیکل کاری شوت-ترو (D) استفاده می‌شود. در نتیجه، سیکل کاری شوت-ترو تابعی از شاخص مدولاسیون (M) بوده و رابطه زیر بین این دو برقرار است:

$$D = 1 - M \tag{۱۵}$$

طبق رابطه (۱۵)، سیکل کاری شوت-ترو با افزایش شاخص مدولاسیون کاهش می‌یابد.

ولتاژ پیک فاز خروجی V□□ اینورتر به‌صورت زیر داده می‌شود:

$$\hat{V}_{pn} = \frac{M\hat{V}_{pn}}{2} = \frac{M.B.V_{in}}{2} \tag{۱۶}$$

بنابراین، از (۱۱) و (۱۶)، بهره ولتاژ (G) اینورتر پیشنهادی را می‌توان به صورت زیر بیان کرد:

$$G = \frac{\hat{V}_{pn}}{\frac{V_{in}}{2}} = M.B \tag{۱۷}$$

علاوه بر این، G را می‌توان به‌عنوان تابعی از M با جایگذاری (۱۵) در (۱۱) نوشت:

$$G = \frac{M}{-2M^2 + 7M - 4} \tag{۱۸}$$

۳-۳- تنش ولتاژ و جریان دیود

در طول وضعیت شوت-ترو، دیودهای D_2 و D_4 خاموش می‌شوند. با اعمال KVL بر روی مدار شکل ۳ (الف)، روابط تنش ولتاژ زیر برای دیودهای D□، D_4 و D_3 قابل استخراج است:

$$\begin{cases} V_{Din} = V_{D4} = \dfrac{1}{1-3D-2D^2} V_{in} \\ V_{D2} = \dfrac{2D}{1-3D-2D^2} V_{in} \end{cases} \tag{۱۹}$$

از سوی دیگر، در طول وضعیت غیر-شوت-ترو، دیودهای D_1 و D_3خاموش می‌شوند. اعمال KVL بر روی مدار شکل ۳(ب) روابط تنش ولتاژ زیر را برای D_1 و D_3 به دست می‌آید:

$$\begin{cases} V_{D1} = \dfrac{2D^2}{(1-D)(1-3D-2D^2)} V_{in} \\ V_{D3} = \dfrac{1-3D}{(1-D)(1-3D-2D^2)} V_{in} \end{cases} \tag{۲۰}$$

علاوه بر این، با اعمال KCL بر روی مدار شکل ۳ (الف) و با فرض تقریب ریپل کوچک، جریان عبوری از دیودهای D_1 و D_3را می‌توان به‌صورت زیر بیان کرد:

$$I_{D1} = I_{D3} = \frac{1-D}{1-3D-2D^2} I_{pn} \tag{۲۱}$$

به‌طور مشابه، اعمال KCL بر روی مدار در طول حالت غیر-شوت-ترو و با استفاده از تقریب ریپل کوچک، عبارت زیر برای جریان عبوری از D_i□ ، D_2و D_4 به دست می‌آید:

$$\begin{cases} I_{D2} = \dfrac{1-D}{1-3D-2D^2} I_{pn} \\ I_{D4} = \dfrac{1-D^2}{(1-D)(1-3D-2D^2)} I_{pn} \\ I_{Din} = \dfrac{1+D}{1-3D-2D^2} I_{pn} \end{cases} \tag{۲۲}$$

۳-٤- ریپل جریان سلف

در طول وضعیت شوت-ترو، خازن‌ها انرژی را به سلف‌ها انتقال می‌دهند. در این صورت ریپل جریان سلف برابر خواهد بود:

$$di_{L1} = \frac{V_{in} + V_{C2}}{L_1} \cdot \frac{DT_s}{2} \tag{۲۳}$$

با استفاده از روش کنترل PWM ساده، دو شوت-ترو در هر دوره کلیدزنی رخ می‌دهد. بنابراین، DTs/2 مدت زمان هر شوت-ترو است و روابط زیر برای ریپل جریان سلف در طول حالت شوت-ترو برقرار است:

$$\begin{cases} \Delta i_{L_1} = \dfrac{(1-D-2D^2)\hat{V}_{pn}}{L_1} \cdot \dfrac{DT_S}{2} \\ \Delta i_{L2} = \Delta i_{L4} = \dfrac{(1-D)\hat{V}_{pn}}{L_2} \cdot \dfrac{DT_S}{2} \\ \Delta i_{L3} = \dfrac{D\hat{V}_{pn}}{L_3} \cdot \dfrac{DT_S}{2} \end{cases} \tag{۲۴}$$

که در آن، $T_s=1/f_s$و f_s نماد فرکانس کلیدزنی هستند. به‌طور مشابه، روابط زیر برای ریپل جریان سلف در طول حالت غیر-شوت-ترو قابل حصول هستند، که در آن مدت زمان هر شوت-ترو برابر با $(1-D)T_s/2$ است:

$$\begin{cases} \Delta i_{L_1 n} = \dfrac{-D(1-D-2D^2)\hat{V}_{pn}}{L_1} \cdot \dfrac{T_S}{2} \\ \Delta i_{L2n} = \Delta i_{L4n} = \dfrac{D(1-D)\hat{V}_{pn}}{L_2} \cdot \dfrac{T_S}{2} \\ \Delta i_{L3n} = \dfrac{-D^2\hat{V}_{pn}}{L_3} \cdot \dfrac{T_S}{2} \end{cases} \tag{۲۵}$$

[Downloaded from ieijqp.ir on 2026-10-16]

روابط (۲۴) و (۲۵) نشان می‌دهند که اندازه ریپل جریان در هر دو حالت عملکرد شوت-ترو و غیر-شوت-ترو یکسان باقی می‌ماند.

۳-۵- روش طراحی برای پارامترهای اینورتر پیشنهادی

با استفاده از رابطه (۵)، مقادیر سلف‌ها را می‌توان بر اساس ریپل جریان مجاز متناظر با هر یک از آن‌ها طراحی و تعیین کرد:.

$$\begin{cases} L_1 = \dfrac{D(1-D-2D^2)V_{in}}{i_{L1}x_L\%(1-3D-2D^2)K_{sh}f_S} \\ L_2 = L_4 = \dfrac{D(1-D)V_{in}}{i_{L2}x_L\%(1-3D-2D^2)K_{sh}f_S} \\ L_3 = \dfrac{2D^2V_{in}}{i_{L3}x_L\%(1-3D-2D^2)K_{sh}f_S} \end{cases} \quad (۲۶)$$

که در آن، $x_L\%=DiL/I_L$ بیانگر حداکثر ریپل مجاز جریان سلف نسبت به مقدار متوسط آن بوده و K_{sh} تعداد حالت‌های شوت-ترو در هر دوره کلیدزنی Ts است. بر اساس رابطه (۷)، حداکثر ریپل ولتاژ خازن‌ها (C_1-C_4) به صورت زیر به دست می‌آیند:

$$\begin{cases} \Delta V_{C1} = \dfrac{(i_{l1}-i_{pn})}{C_1}.\dfrac{(1-D)T_S}{k_{sh}} \\ \Delta V_{C2} = \dfrac{(-i_{pn}+i_{L_4}-i_{C_{3n}})}{k_{sh}C_2}.\dfrac{(1-D)T_S}{k_{sh}} \\ \Delta V_{C3} = \dfrac{(-i_{pn}+i_{L_4}-i_{C_{2n}})}{C_3}.\dfrac{(1-D)T_S}{k_{sh}} \\ \Delta V_{C4} = \dfrac{(i_{L2}-i_{L_4}+i_{C_{3n}})}{C_4}.\dfrac{(1-D)T_S}{k_{sh}} \end{cases} \quad (۲۷)$$

با جایگذاری (۱۴) در (۲۷) مقادیر زیر را برای خازن‌ها-C_1 (C_4به دست می‌آید:

$$\begin{cases} C_1 = \dfrac{(2D)(1-D)(1+D)I_{pn}}{V_{C1}x_C\%(1-3D-2D^2)k_{sh}f_S} \\ C_2 = \dfrac{2D(1-D)I_{pn}}{V_{C2}x_C\%(1-3D-2D^2)k_{sh}f_S} \\ C_3 = C_4 = \dfrac{D(1-D^2)I_{pn}}{V_{C3}x_C\%(1-3D-2D^2)k_{sh}f_S} \end{cases} \quad (۲۸)$$

که در آن $x_c\%=\Delta V_c/V_c$ بیانگر حداکثر ریپل مجاز ولتاژ خازن نسبت به مقدار متوسط آن است.

۴- مقایسه با سایر توپولوژی‌ها

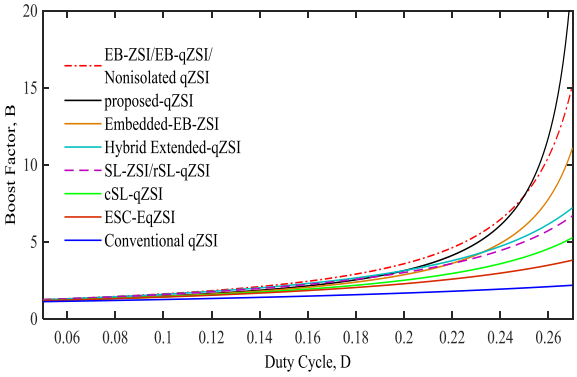
توپولوژی اینورتر پیشنهادی به‌طور جامع با چندین توپولوژی متعارف از جمله ZSI [۳۵]، DA-qZSI [۳۶]، qZSI ترکیبی-توسعه‌یافته [۳۶]، SL-ZSI [۳۷]، rSL-qZSI [۳۸]، cSL-qZSI [۳۸]، EB-ZSI [۳۹]، EB-qZSI [۴۰] و EEB-ZSI [۴۱] از نظر ضریب تقویت B، تعداد اجزای به‌کاررفته در مدار امپدانسی IM، تنش ولتاژ کلیدها، تنش ولتاژ خازن‌ها، تنش جریان سلف‌ها و همچنین مقادیر مورد نیاز خازن‌ها/سلف‌ها مقایسه می‌شود.

۴-۱- تعداد مؤلفه‌ها

جدول (۱) مقایسه‌ای از تعداد مؤلفه‌های به‌کاررفته در توپولوژی اینورتر پیشنهادی و سایر توپولوژی‌های IM با قابلیت تقویت ولتاژ بالا ارائه می‌دهد. همان‌طور که نشان داده شده است، اینورتر پیشنهادی دارای تعداد یکسانی مؤلفه‌های فعال و غیرفعال با توپولوژی‌های EB-qZSI ، EB-ZSI، DA-qZSI و EEB-ZSI با چهار خازن، چهار سلف و پنج دیود است. در مقایسه با توپولوژی‌های SL-ZSI و rSL-qZSI/cSL-qZSI ، دو خازن بیشتر و دو دیود کمتر در اینورتر پیشنهادی وجود دارد. علاوه بر این، در مقایسه با توپولوژی شبه منبع امپدانسی ترکیبی-توسعه یافته با چهار سلف، پنج خازن و چهار دیود، توپولوژی اینورتر پیشنهادی یک خازن کمتر و یک دیود بیشتر دارد. با این وجود، تمام این توپولوژی‌ها، از جمله اینورتر پیشنهادی، تعداد کل مؤلفه‌های فعال و غیرفعال یکسانی دارند (۱۳ مؤلفه).

۴-۲- قابلیت‌های تقویت

مقایسه ضریب تقویت (B) را برحسب سیکل کاری شوت-ترو (D) برای ۹ توپولوژی اینورتر با قابلیت تقویت ولتاژ بالا تحت راهبرد کنترل PWM با تقویت ساده نشان می‌دهد، که در آن Dتوسط شاخص مدولاسیون (M) محدود می‌شود.

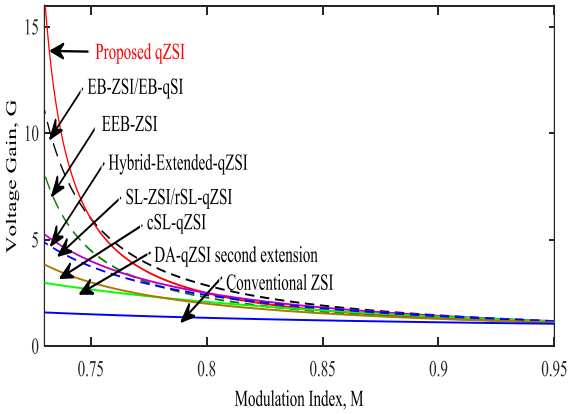


شکل (۴): مقایسه ضریب تقویت نسبت به سیکل کاری برای توپولوژی‌های مختلف با قابلیت تقویت ولتاژ بالا

شکل (۵) نشان می‌دهد که اینورتر پیشنهادی در بهره‌های ولتاژ بالای ۶، شاخص مدولاسیون بزرگ‌تری نسبت به توپولوژی‌های EB-ZSI و EB-qZSI ارائه می‌دهد، علاوه بر این، در مقایسه با شش توپولوژی دیگر، عملکرد بهتری را به‌طور هم‌زمان از نظر بهره ولتاژ و شاخص مدولاسیون به دست می‌آورد و در نتیجه به دلیل کاهش اعوجاج هارمونیکی، کیفیت

[Downloaded from ieijqp.ir on 2026-10-16]

شکل‌موج ولتاژ خروجی بهتری را ارائه می‌دهد. این برتری عملکرد ناشی از طراحی بهینه شبکه امپدانسی توپولوژی پیشنهادی است که با افزایش بازده انتقال انرژی در حالت‌های شوت-ترو، ضمن حفظ بهره‌وری فرایند کلیدزنی، عملکرد کلی مبدل را بهبود می‌بخشد.



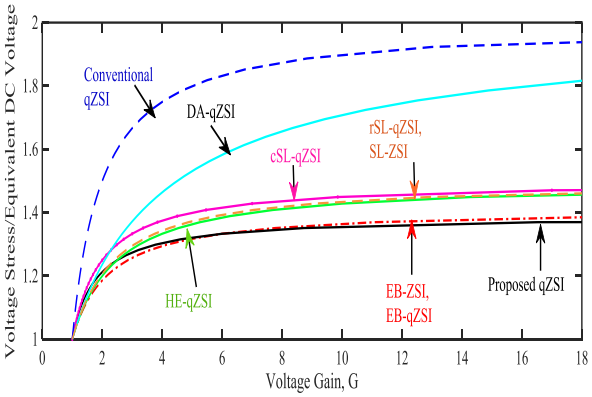
شکل (۵): مقایسه بهره ولتاژ G نسبت به شاخص مدولاسیون M

۴-۳- تنش‌های ولتاژ و جریان

به منظور اطمینان از مقایسه دقیق تنش‌های ولتاژ و جریان در تمام نه توپولوژی مورد بررسی (از جمله اینورتر پیشنهادی)، شرایط بهره‌برداری یکسان با اعمال روش کنترل PWM با شاخص مدولاسیون معادل(M) ، ولتاژ ورودی DC و توان خروجی یکسان برای هر توپولوژی اعمال می‌شود. تنش ولتاژ روی کلیدهای فعال به‌عنوان نسبت ولتاژ پیک لینک DC به ولتاژ معادل DC تعیین می‌شود که برای اینورتر پیشنهادی با استفاده از رابطه زیر محاسبه می‌شود:

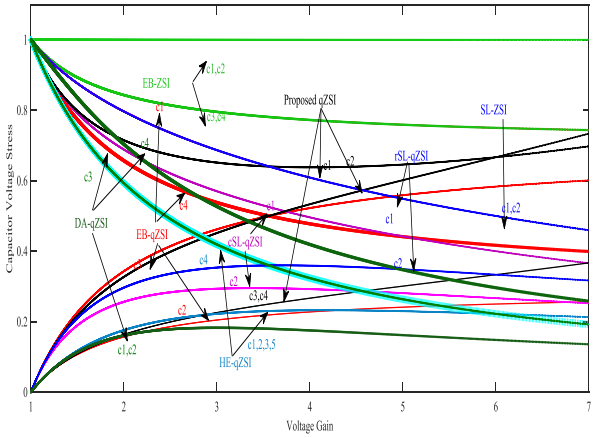
$$\frac{V_{pn}}{GV_{dc}}=\frac{BV_{dc}}{GV_{dc}}=\frac{4G}{G-1+\sqrt{17G^2-14G+1}} \qquad (۲۹)$$

تنش‌های ولتاژ کلیدهای قدرت نسبت به بهره ولتاژ G برای نه توپولوژی در شکل (۶) نشان داده شده است.



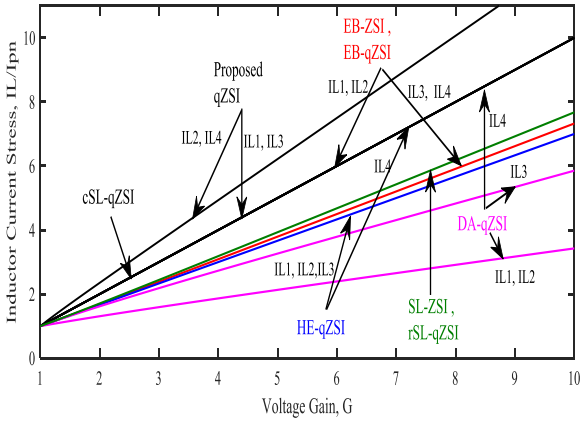
شکل (۶): مقایسه تنش‌های ولتاژ کلید

نتایج تحلیل نشان می‌دهد که اگرچه توپولوژی اینورتر پیشنهادی تنها کاهش اندکی در تنش ولتاژ کلیدها نسبت به توپولوژی‌های EB-ZSI و EB-qZSI دارد، اما در مقایسه با شش توپولوژی دیگر و در بهره ولتاژ (G) یکسان، کاهش قابل‌توجهی در تنش ولتاژ کلیدهای قدرت مشاهده می‌شود. همچنین، به‌منظور ارزیابی تنش ولتاژ خازن‌ها، که به‌صورت نسبت ولتاژ خازن به ولتاژ ورودی DC تعریف می‌شود، مقایسه‌ای جامع میان هر ۹ توپولوژی انجام شده است. نتایج این مقایسه در شکل (۷) ارائه شده است.



شکل (۷): مقایسه تنش ولتاژ خازن‌ها

همان‌طور که مشاهده می‌شود، تنش ولتاژ خازن برای توپولوژی اینورتر پیشنهادی کمتر از توپولوژی EB-ZSI است. با این حال، تنش ولتاژ برای خازن C_1 در توپولوژی اینورتر پیشنهادی از توپولوژی‌های rSL-qZSI، HE-qZSI و DA-qZSI بیشتر است. علاوه بر این، تنش‌های ولتاژ برای خازن‌های C_3 و C_4 به‌طور قابل‌توجهی کمتر از توپولوژی‌های EB-qZSI، SL-ZSI و rSL-qZSI هستند. همچنین، به‌منظور ارزیابی عملکرد از منظر تنش جریان سلف‌ها، توپولوژی‌های مورد بررسی با یکدیگر مقایسه شده‌اند که نتایج این مقایسه در شکل (۸) ارائه شده است.



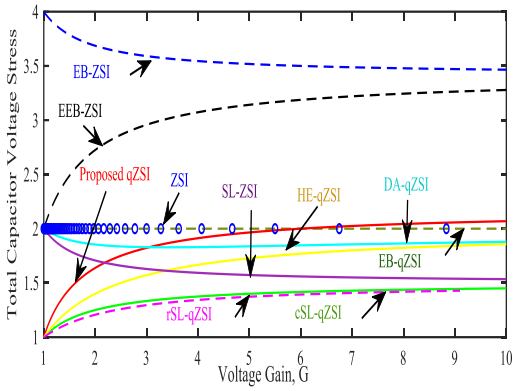
شکل (۸): مقایسه تنش جریان سلف‌ها

همان‌طور که مشاهده می‌شود، در بهره ولتاژ مساوی G، تنش‌های جریان سلف‌های L_1 و L_3 یعنی ($I_{L1}=I_{L3}$) در توپولوژی اینورتر پیشنهادی مشابه با توپولوژی‌های cSL-qZSI، EB-ZSI، EB-qZSI ($I_{L1}=I_{L2}$)، HE-qZSI و DA-

[Downloaded from ieijqp.ir on 2026-10-16]

(I_{L4}) qZSIاست. با این حال، تنش‌های جریان سلف‌های L_2 و L_4 یعنی ($I_{L2}=I_{L4}$) در توپولوژی اینورتر پیشنهادی نسبت به تمام هشت توپولوژی دیگر نسبتاً بالا است. به‌طور کلی، تنش‌های مؤلفه‌های غیرفعال برای هر نه توپولوژی اینورتر در جدول (۲) ارائه شده است.

شکل (۹) مقایسه‌ای جامع از مجموع تنش‌های ولتاژ خازن‌ها را برای هر ۹ توپولوژی اینورتر مورد بررسی ارائه می‌دهد.



شکل (۹): مقایسه تنش کل ولتاژ خازن

تحلیل مقایسه‌ای نشان می‌دهد که توپولوژی اینورتر پیشنهادی در تمام محدوده‌های عملیاتی، تنش کل ولتاژ خازن به طور قابل‌توجهی کمتری نسبت به هر دو توپولوژی EEB-ZSI و EB-ZSIدست می‌یابد. در محدوده بهره‌های ولتاژ متوسط (G>3)، این مدل پیشنهادی در مقایسه با توپولوژی‌های HE-qZSI، rSL/cSL-qZSI، DA-qZSI و SL-ZSI مجموع تنش ولتاژ خازن بیشتری را نشان می‌دهد. با این حال، در ناحیه بهره‌ی بالا (G>6)، عملکرد این توپولوژی بهبود یافته و مجموع تنش ولتاژ خازن آن در مقایسه با هر دو توپولوژی EB-qZSI و ZSI کلاسیک، عملکرد برتری را نشان می‌دهد .این ویژگی، برتری توپولوژی پیشنهادی را برای کاربردهای با بهره ولتاژ بالا را نشان می‌دهد.

۴-۴- مقادیر سلف و خازن

جدول (۳) مقادیر موردنیاز سلف‌ها و خازن‌ها را برای دستیابی به ریپل جریان سلف و ریپل ولتاژ خازن یکسان، در ضریب تقویت (B) مشابه، برای توپولوژی‌های مورد بررسی ارائه می‌دهد.

روابط سلف‌ها و خازن‌ها را می‌توان با استفاده از دو پارامتر و با تعاریف زیر بازنویسی کرد:

$$\begin{cases} k_l = \dfrac{V_{in}}{k_{il} . f_o . I_{in}} \\ k_c = \dfrac{I_{in}}{k_{vc} . f_o . V_{in}} \end{cases} \qquad (۳۰)$$

در رابطه فوق، k_i نسبت ریپل پیک‌به‌پیک جریان سلف به مقدار متوسط جریان سلف، k_v نسبت ریپل پیک‌به‌پیک ولتاژ خازن به مقدار متوسط ولتاژ خازن، و I_i میانگین جریان ورودی DC را نشان می‌دهند. با فرکانس بهره‌برداری $f_0=2f_S$ برای پارامترهای (V_i =۶۰ ولت، I_i= ۸ آمپر، f_0=۲۱ کیلوهرتز، k_v=۱٪ ، k_i=۱٪) و سیکل کاری شوت-ترو (D)، مقادیر استخراج شده سلف و خازن در میان نه توپولوژی نشان می‌دهد که مقدار اندوکتانس موردنیاز در توپولوژی پیشنهادی اندکی بیشتر از توپولوژی cSL-qZSI، تقریباً هم‌تراز با توپولوژی‌های EB-ZSIوEB-qZSI، اما کوچک‌تر از پنج توپولوژی دیگر هستند، در حالی که ظرفیت خازن‌های آن به طور قابل‌توجهی کوچک‌تر از طرح HE-qZSI اما بزرگ‌تر از هفت توپولوژی باقی‌مانده هستند. این نتایج بیانگر آن است که توپولوژی پیشنهادی، از نظر اندازه‌گذاری مؤلفه‌های غیرفعال، تعادل مناسبی میان مقادیر سلف و خازن برقرار می‌کند.

[Downloaded from ieijqp.ir on 2026-10-16]

جدول (۱): مقایسه تعداد مؤلفه‌های به‌کاررفته در شبکه امپدانسی با ضریب تقویت ولتاژ بالا

	DA-qZSI	Hybrid-Extended qZSI	SL-ZSI	rSL-qZSI/cSL-qZSI	Enhance Boost-ZSI	Enhance Boost -qZSI	Embedded Enhance boost-ZSI
Inductors	4	4	4	4	4	4	4
Capacitors	4	5	2	2	4	4	4
Diodes	5	4	7	7	5	5	5

جدول (۲): مقایسه تنش‌های ولتاژ و جریان در توپولوژی‌های مختلف شبکه امپدانسی با قابلیت تقویت ولتاژ بالا

	ZSI	DA-qZSI	Hybrid-qZSI	SL-ZSI	rSL-qZSI	cSL-qZSI	EB-ZSI	EB-qZSI	Proposed qZSI
Capacitor Voltage Stresses (V_c/V_{in})	$V_{C1}=\frac{1-D}{1-2D}$ $V_{C1}=V_{C2}$	$V_{C1}=\frac{D}{(1-2D)(1-D)^2}$ $V_{C1}=V_{C2}$ $V_{C3}=\frac{1}{(1-D)^2}$ $V_{C4}=\frac{1}{1-D}$	$V_{C1}=\frac{D}{1-4D+3D^2}$ $V_{C1}=V_{C2}=V_{C3}=V_{C5}$ $V_{C4}=\frac{1-3D}{1-4D+3D^2}$	$V_{C1}=\frac{1-D}{1-3D}$ $V_{C1}=V_{C2}$	$V_{C1}=\frac{1-D}{1-3D}$ $V_{C2}=\frac{2D}{1-3D}$	$V_{C1}=\frac{1-D}{(1-3D)(1+D)}$ $V_{C2}=\frac{2D}{(1-3D)(1+D)}$	$V_{C1}=\frac{1-D}{1-4D+2D^2}$ $V_{C3}=\frac{(1-D)^2}{1-4D+2D^2}$ $V_{C1}=V_{C2}$ $V_{C3}=V_{C4}$	$V_{C1}=\frac{(1-D)^2}{1-4D+2D^2}$ $V_{C2}=\frac{D(1-D)}{1-4D+2D^2}$ $V_{C3}=\frac{D(2-D)}{1-4D+2D^2}$ $V_{C4}=\frac{1-3D+D^2}{1-4D+2D^2}$	$V_{C1}=\frac{1-2D}{1-3D-2D^2}$ $V_{C2}=\frac{2D}{1-3D-2D^2}$ $V_{C3}=\frac{D}{1-3D-2D^2}$ $V_{C3}=V_{C4}$
Inductor Current Stresses (I_L/I_{pn})	$I_{L1}=\frac{(1-D)}{(1-2D)}$ $I_{L1}=I_{L2}$	$I_{L1}=\frac{(1-D)^3}{(1-2D)(1-D)^2}$ $I_{L1}=I_{L2}$ $I_{L3}=\frac{(1-D)^2}{(1-2D)(1-D)^2}$ $I_{L4}=\frac{(1-D)}{(1-2D)(1-D)^2}$	$I_{L1}=\frac{(1-D)^2}{1-4D+3D^2}$ $I_{L1}=I_{L2}=I_{L3}$ $I_{L4}=\frac{(1-D)}{1-4D+3D^2}$	$I_{L1}=\frac{1-D}{1-3D}$ $I_{L1}=I_{L2}=I_{L3}=I_{L4}$	$I_{L1}=\frac{1-D}{1-3D}$ $I_{L1}=I_{L2}=I_{L3}=I_{L4}$	$I_{L1}=\frac{1-D}{1-3D}$ $I_{L1}=I_{L2}=I_{L3}=I_{L4}$	$I_{L1}=\frac{1-D}{1-4D+2D^2}$ $I_{L1}=I_{L2}$ $I_{L3}=\frac{(1-D)^2}{1-4D+2D^2}$ $I_{L3}=I_{L4}$	$I_{L1}=\frac{1-D}{1-4D+2D^2}$ $I_{L1}=I_{L2}$ $I_{L3}=\frac{(1-D)^2}{1-4D+2D^2}$ $I_{L3}=I_{L4}$	$I_{L1}=\frac{1-D}{1-3D-2D^2}$ $I_{L1}=I_{L3}$ $I_{L2}=\frac{1-D^2}{1-3D-2D^2}$ $I_{L2}=I_{L4}$
Input Current ripple, ΔI_{in}	$\lvert I_L-I_{pn}\rvert$	0	0	$\lvert(1-D)I_L-I_{pn}\rvert$	$\lvert DI_L\rvert$	0	$(1-2D)I_{L3}-(1-D)I_{pn}$	0	0
Input Current, I_{in}	$2I_{L1}-I_{pn}$	I_{L3}	I_{L4}	$2I_{L1}-I_{pn}$	$2I_L, I_L$	I_{L1}	$2I_{L3}-I_{pn}$	I_{L1}	I_{L1}

جدول (۳): مقایسه اندوکتانس و ظرفیت‌خازن در توپولوژی‌های مختلف شبکه امپدانسی با قابلیت تقویت ولتاژ بالا در B=6.54

	DA-qZSI[36]	Hybrid-qZSI[36]	SL-ZSI[37]	rSL-qZSI[38]	cSL-qZSI[38]	EB-ZSI[39]	EB-qZSI[40]	Proposed qZSI
B	$\frac{1}{(1-2D)(1-D)^2}$	$\frac{1}{(1-D)(1-3D)}$	$\frac{1+D}{1-3D}$	$\frac{1+D}{1-3D}$	$\frac{1}{(1-3D)}$	$\frac{1}{(1-4D+2D^2)}$	$\frac{1}{(1-4D+2D^2)}$	$\frac{1}{(1-3D-2D^2)}$
Inductances	$L_{1,2}=\frac{DB}{1-D}k_l$ $L_3=\frac{D}{(1-D)^2}k_l$ $L_4=Dk_l$	$L_{1,2,3}=DBk_l$ $L_4=Dk_l$	$L_1=L_2=L_3=L_4=L$ $L=D(1-D)Bk_l$	$L_1=L_2=L_3=L_4=L$ $L=D(1-D)Bk_l$	$L_1=\frac{D(1-3D^2)B}{1+D}k_l$ $L_{2,4}=\frac{D(1-D)B}{1+D}k_l$ $L_3=\frac{2D^2B}{1-D}k_l$	$L_{1,2}=D(1-D)^2Bk_l$ $L_{3,4}=DBk_l$	$L_{1,2}=D(1-D)^2Bk_l$ $L_{3,4}=DBk_l$	$L_1=D(1-D-2D^2)Bk_l$ $L_{2,4}=DBk_l$ $L_3=2D^2Bk_l$
Capacitance	$C_{1,2}=\frac{(1-D)^2}{B}k_c$ $C_3=2D(1-D)^4k_c$ $C_4=D(1-D)^2k_c$	$C_{1,3}=\frac{2(1-D)}{B}k_c$ $C_2=\frac{(1-D)}{B}k_c$ $C_4=3D(1-D)^2k_c$	$C_1=C_2=C$ $C=\frac{2D}{(1-D)B}k_c$	$C_1=\frac{2D}{(1-D)B}k_c$ $C_2=\frac{k_c}{B}$	$C_1=\frac{2D(1+D)}{(1-D)B}k_c$ $C_2=\frac{(1+D)}{B}k_c$	$C_{1,2}=\frac{D}{(1-D)^2B}k_c$ $C_{3,4}=\frac{D}{B}k_c$	$C_1=\frac{D(2-D)}{(1-2D+D^2)B}k_c$ $C_{2,4}=\frac{k_c}{B}$ $C_3=\frac{D(1-D)}{(1-3D+D^2)B}k_c$	$C_1=\frac{2D(1+D)}{(1-2D)B}k_c$ $C_2=\frac{k_c}{B}$ $C_{3,4}=\frac{(1-D^2)}{(1-D)B}k_c$
Duty Cycl	0.333	0.264	0.268	0.268	0.282	0.2407	0.2407	0.243

[Downloaded from ieijqp.ir on 2026-10-16]

Voltage Gain G=M.B	4.36	4.81	4.78	4.87	4.69	4.96	4.96	4.95
Inductance Values	$L_{1,2}$= 2.532mH L_3= 0.576mH L_4= 0.259mH	$L_{1,2,3}$= 1.354 mH L_4= 0.207mH	L= 1.006mH	L= 1.006mH	L_1= 0.859mH $L_{2,4}$= 0.811mH L_3= 1.137mH	$L_{1,2}$= 0.7128mH $L_{3,4}$= 1.235mH	$L_{1,2}$= 0.7128mH $L_{3,4}$= 1.235mH	L_1= 0.797mH $L_{2,4}$= 1.247mH L_3= 0.607mH
Capacitance values	$C_{1,2}$=43.5μF C_3= 84.75F C_4= 94.5 µF	$C_{1,3}$= 144µF C_2= 71.5µF C_4= 273 µF	$C_{1,2}$= 72µF	C_1= 72µF C_2= 98.5µF	C_1= 98.5µF C_2= 125µF	$C_{1,2}$= 40.5µF $C_{3,4}$= 23 µF	C_1= 71.5µF $C_{2,4}$= 97.5µF C_3= 5µF	C_1= 114µF C_2= 97µF $C_{3,4}$= 121µF

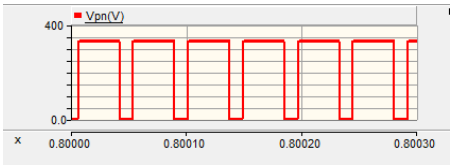
5-تحلیل نتایج شبیه‌سازی

به‌منظور اعتبارسنجی عملکرد توپولوژی پیشنهادی، شبیه‌سازی‌های کنترل حلقه‌باز در محیط PSCAD/EMTDC با استفاده از مؤلفه‌های ایده‌آل و بر اساس پارامترهای ارائه‌شده در جدول (۴) انجام شد. نتایج شبیه‌سازی با به کارگیری روش کنترل Simple Boost PWM (SBPWM) نشان می‌دهد که اینورتر پیشنهادی عملکرد مطلوبی دارد و قادر است به ضریب تقویت (B=6.54) و بهره ولتاژ (G=4.95)، مطابق مقادیر محاسبه‌شده از روابط (۱۲) و (۱۷)، دست یابد.

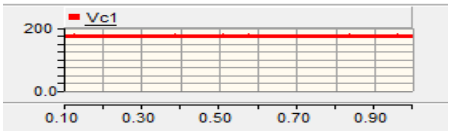
اندازه‌گیری‌های انجام شده نشان می‌دهد که ولتاژ خازن‌ها به Vc_1 =۱۷۵ ولت، Vc_2=۱۵۷ ولت و Vc_3=Vc_4 برابر ۷۸٫۶ ولت رسیده است، در حالی که ولتاژ پیک لینک DC به ۳۴۰ ولت می‌رسد، همان‌طور که در شکل‌های (۱۰) و (۱۱) نشان داده شده است.

جدول (۴): مقادیر پارامترهای سیستم

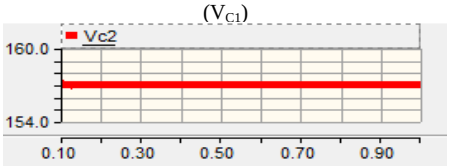
Modulation index M	0.757
Boost-factor B	6.54
DC input-voltage V_{in}	60V
Fundamental frequency f_o	50HZ
Switching frequency f_S	10.5kHZ
Inductors L_1-L_4	1mH
Capacitors C_1-C_4	470µF
Load resistance R_L	60Ω



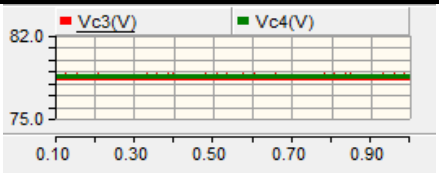
شکل (۱۰): نتیجه شبیه‌سازی ولتاژ پیک لینک DC (Vpn)



(V_{C1})



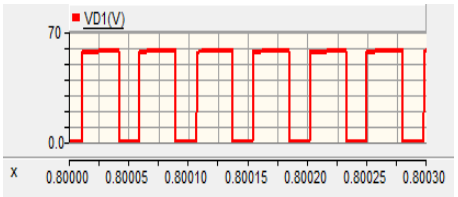
(V_{C2})



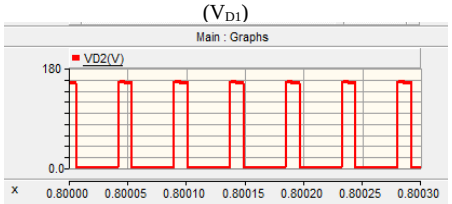
(V_{C3}=V_{C4})

شکل (۱۱): نتایج شبیه‌سازی ولتاژ خازن‌ها

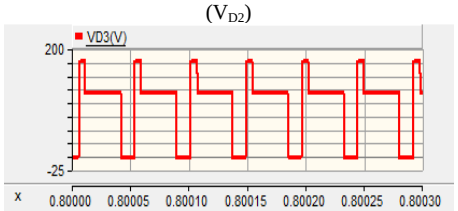
حالت پایدار تنش ولتاژ دیودها در شکل (۱۲) نشان می‌دهد که ولتاژ دیودها در شرایط پایدار مقادیر V_{D1}=۵۷٫۵ ولت، V_{D2}=۱۵۴٫۴ ولت، V_{D3}=۱۱۷٫۶ ولت، و V_{D4}=V_{Din} برابر ۳۳۰٫۵ ولت می باشند.



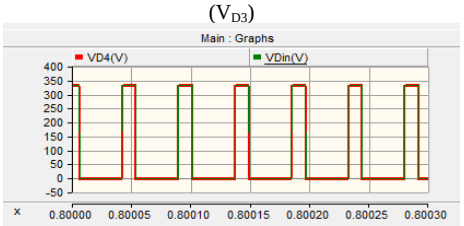
(V_{D1})



(V_{D2})



(V_{D3})

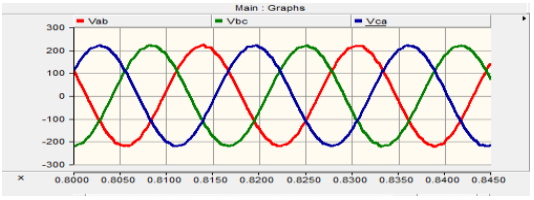


(V_{D4}=V_{Din})

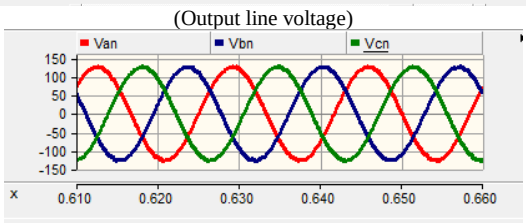
شکل (۱۲): نتایج شبیه‌سازی ولتاژ دیودها

[Downloaded from ieijqp.ir on 2026-10-16]

نتایج شبیه‌سازی برای ولتاژهای فاز (Vcn ،Vbn ،Van) و ولتاژهای خط (Vca ،Vbc ،Vab) در شکل (۱۳) ارائه شده است که مقادیر حداکثری تقریباً ۱۲۵ ولت برای ولتاژ فاز و ۲۱۰ ولت برای ولتاژ خط را نشان می‌دهد که در مقایسه با مقادیر نظری محاسبه شده، اندکی کمتر هستند که تطابق کلی نتایج، صحت عملکرد توپولوژی پیشنهادی را تأیید می‌کند.



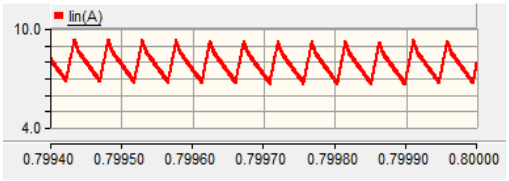
(Output line voltage)



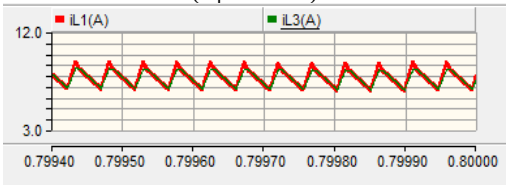
(Output phase voltage)

شکل (۱۳): نتایج شبیه‌سازی ولتاژ

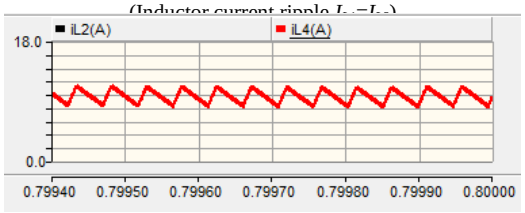
شکل (۱۴) شکل‌موج‌های جریان ورودی و ریپل جریان سلف‌ها را در حالت پایدار نشان می‌دهد و مقادیر میانگین ۷٫۹ آمپر برای $i_{L1}=i_{L3}$ و ۹٫۷ آمپر برای $i_{L2}=i_{L4}$ را آشکار می‌سازد. این مقادیر تطابق مناسبی با مقادیر نظری محاسبه‌شده از رابطه (۱۴) داشته و صحت تحلیل ارائه‌شده و عملکرد مطلوب توپولوژی پیشنهادی را تأیید می‌کنند.



(Input current)



(Inductor current ripple $I_{L1}=I_{L3}$)



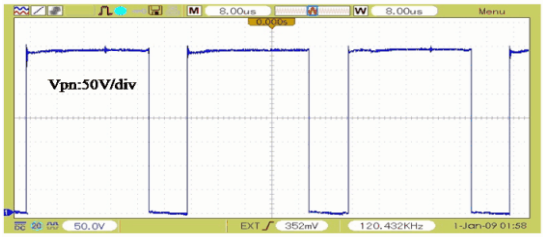
(Inductor current ripple $I_{L2}=I_{L4}$)

شکل (۱۴): نتایج شبیه‌سازی جریان

۶- نتایج آزمایشگاهی

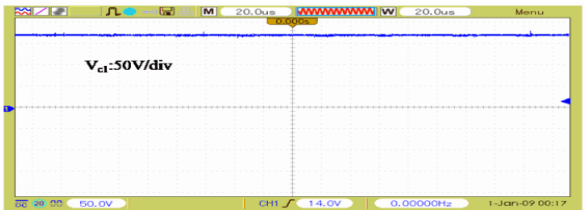
در این بخش به منظور اعتبارسنجی نتایج شبیه سازی توپولوژی پیشنهادی ECSL-qZSI ، یک نمونه آزمایشگاهی بر اساس پارامترهای ارائه‌شده در جدول (۴) ساخته شد.

آزمایش‌ها با استفاده از یک بار سه‌فاز مقاومتی-سلفی متصل به‌صورت ستاره، با مقادیر R_l= ۶۰ اهم، L_l=۱ میلی‌هانری انجام شد. شکل (۱۵) نتایج آزمایشگاهی را در شرایط Vdc =۶۰ ولت، D=۰٫۲۴۳ و M=۰٫۷۵۷ نشان می‌دهد، که در آن ولتاژ لینک DC از ۶۰ ولت به ۳۳۵ ولت افزایش می‌یابد. این نتیجه آزمایشگاهی کمی کمتر از مقدار نظری (۳۹۲٫۴ ولت از رابطه ۱۲) بدست آمده که این اختلاف را می‌توان به افت ولتاژ ناشی از سلف‌ها، خازن‌ها، افت هدایت دیودها و کلیدهای قدرت، و سایر تلفات غیرایده‌آل موجود در نمونه آزمایشگاهی نسبت داد.

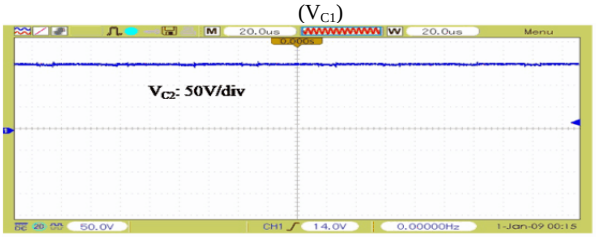


شکل (۱۵): نتیجه آزمایشگاهی ولتاژ پیک لینک DC

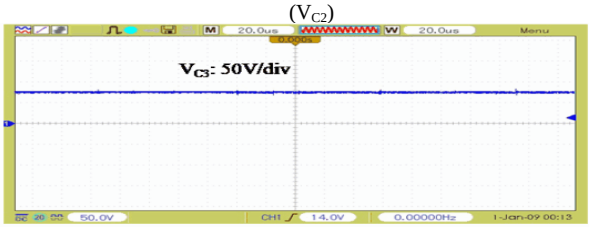
شکل (۱۶) شکل موج‌های آزمایشگاهی ولتاژ خازن‌های مدار را نشان می‌دهد. بر اساس نتایج اندازه‌گیری، ولتاژ خازن‌های (C_1)، (C_2)، (C_3)و (C_4) به ترتیب برابر با ۱۶۸ ولت، ۱۵۰ ولت، ۷۵٫۵ ولت و ۷۵ ولت است. مقایسه این نتایج با مقادیر متناظر حاصل از شبیه‌سازی (۱۷۵ ولت، ۱۵۷ ولت، ۷۸٫۵ ولت و ۷۸٫۶ ولت) نشان‌دهنده تطابق مطلوب میان نتایج شبیه‌سازی و آزمایش است. اختلاف جزئی مشاهده‌شده، که در حدود ۴ تا ۵ درصد کمتر از مقادیر شبیه‌سازی است، عمدتاً ناشی از تلفات مؤلفه‌های از جمله سلف‌ها، خازن‌ها، افت ولتاژ دیودها و کلیدهای قدرت، و سایر اثرات پارازیتی موجود در پیاده‌سازی فیزیکی مدار است.



(V_{C1})

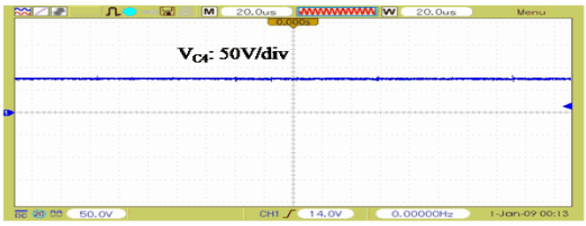


(V_{C2})



(V_{C3})

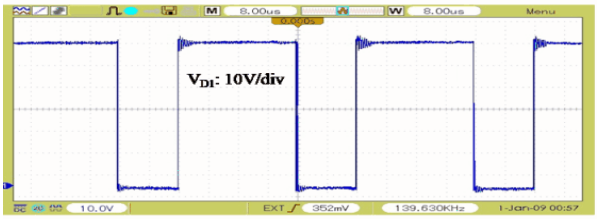
[Downloaded from ieijqp.ir on 2026-10-16]



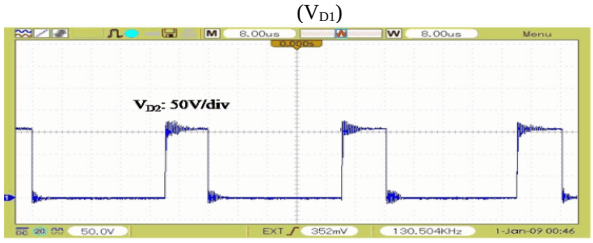
(V_{C4})

شکل (۱۶): نتایج آزمایشگاهی ولتاژ خازن‌ها

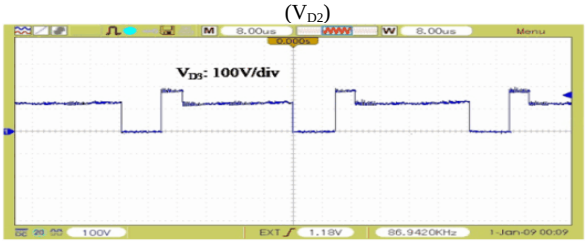
شکل (۱۷)، شکل موج‌های ولتاژ دیود آزمایشگاهی را نشان می‌دهد. مقادیر V_{D1} =۶۵ ولت، V_{D2}=۱۵۸ ولت، V_{D3}=۱۲۰ ولت و V_{D4}= ۳۳۵ ولت را اندازه‌گیری می‌کند و همراستایی عالی با نتایج شبیه‌سازی متناظر نشان داده شده در شکل (۱۲) را نشان می‌دهد. حداکثر انحراف مشاهده‌شده کمتر از ٪۵، دقت مدل شبیه‌سازی و آزمایشگاهی را تأیید می‌کند.



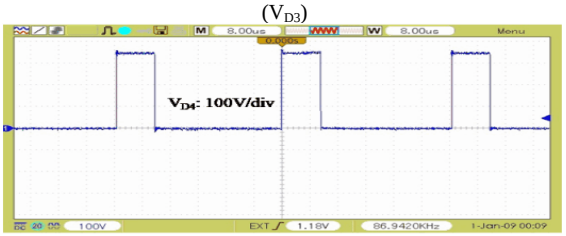
(V_{D1})



(V_{D2})



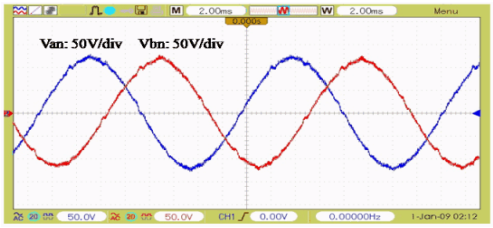
(V_{D3})



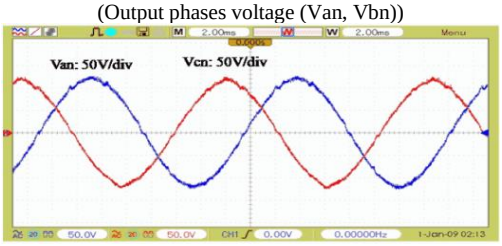
(V_{D4})

شکل (۱۷): نتایج آزمایشگاهی ولتاژ دیودها

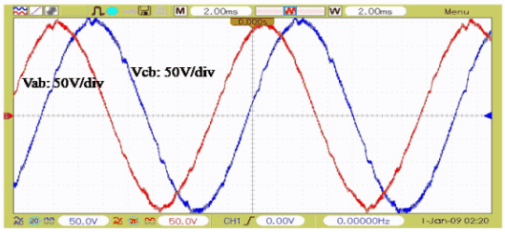
شکل (۱۸) شکل‌موج‌های آزمایشگاهی ولتاژ فاز و خط خروجی ACفیلترشده را نشان می‌دهد که به‌خوبی با نتایج شبیه‌سازی همخوانی دارند.



(Output phases voltage (Van, Vbn))



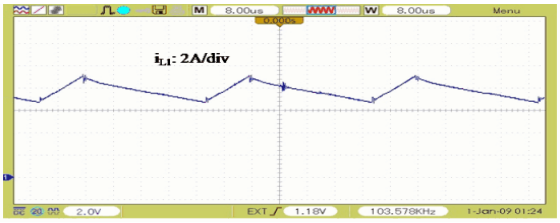
(Output phases voltage (Van, Vcn))



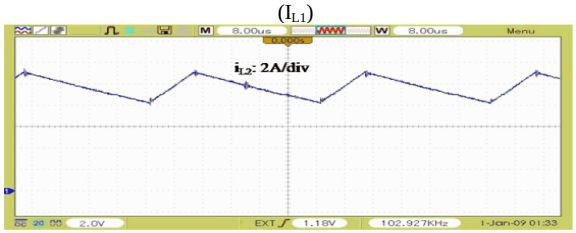
(Output line voltage)

شکل (۱۸): نتایج آزمایشگاهی ولتاژ

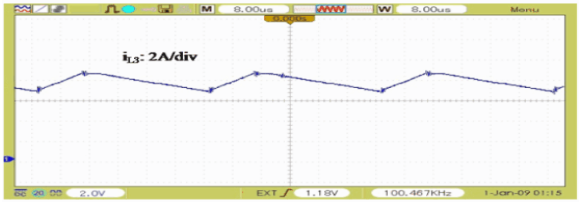
شکل (۱۹) شکل‌موج‌های آزمایشگاهی جریان‌های سلفi_{L1} ، i_{L2} و i_{L4} را نشان می‌دهد که مطابقت نزدیکی با نتایج شبیه‌سازی متناظر نشان‌داده‌شده در شکل (۱۴) دارد.



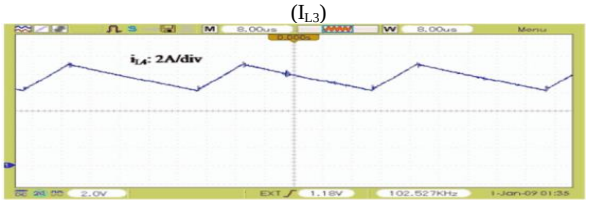
(I_{L1})



(I_{L2})



(I_{L3})



(I_{L4})

[Downloaded from ieijqp.ir on 2026-10-16]

شکل (۱۹): نتایج آزمایشگاهی ریپل جریان سلف‌ها

جدول (۵) یک تحلیل مقایسه‌ای از نتایج نظری، شبیه‌سازی و آزمایشگاهی برای پارامترهای کلیدی از جمله ولتاژ پیک لینک DC، ولتاژهای خازن، جریان‌های سلف و تنش‌های ولتاژ دیود ارائه می‌دهد. داده‌ها اختلافات جزئی بین این مقادیر را نشان می‌دهد که عمدتاً به افت ولتاژ در سلف‌ها، خازن‌ها و دیودها نسبت داده می‌شود که در مدل‌های تئوری و شبیه‌سازی در نظر گرفته نشده بودند.

جدول (۵): مقایسه نتایج نظری، شبیه‌سازی و آزمایشگاهی

parameters	Theoretical	simulation	experimental
V_{pn}	392.4	340	335
V_{C1}	200	175	168
V_{C2}	190.7	157	150
V_{C3}	95.3	78.5	75.5
V_{C4}	95.3	78.6	75
i_{L1}	7.92	7.9	7.9
i_{L2}	9.84	9.7	9.65
i_{L3}	7.92	7.9	7.8
i_{L4}	9.84	9.7	9.6
V_{D1}	61.2	57.5	65
V_{D2}	190.7	154.4	158
V_{D3}	140.5	117.6	120
V_{D4}	392.4	330.5	335
V_{Din}	392.4	330.5	335.6

در جدول ۶، اثر تغییر پارامترهای کلیدی مدل از جمله ولتاژ ورودی بر روی سایر پارامترها بر اساس روابط تحلیلی ارائه‌شده در مقاله مورد ارزیابی قرار گرفت که تغییرات شاخص‌های اصلی عملکرد شامل ضریب تقویت و ولتاژ لینک DC و تنش ولتاژهای خازن و دیودها را در شرایط مختلف نشان می‌دهد. نتایج نشان می‌دهد که در سیکل کاری ثابت(D=0.243) ، با افزایش ولتاژ ورودی از ۴۸ به ۶۰ و ۷۲ ولت، تنش ولتاژی تمامی خازن‌ها و دیودها به‌صورت خطی افزایش می‌یابد که این موضوع با روابط تئوری استخراج‌شده کاملاً مطابقت دارد.

در میان خازن‌ها، خازن (C_1) بیشترین تنش ولتاژی را تحمل می‌کند، پس از آن (C_2) قرار دارد، در حالی که ولتاژ دو خازن (C_3) و (C_4) در تمامی شرایط کاری برابر است. این برابری بیانگر عملکرد متقارن شبکه خازنی و توزیع مناسب انرژی در مدار است. همچنین، مقدار تنش ولتاژی خازن‌ها به‌مراتب کمتر از ولتاژ خروجی مبدل است که امکان استفاده از خازن‌هایی با ولتاژ نامی پایین‌تر و کاهش هزینه و حجم مدار را فراهم می‌کند.

بررسی تنش ولتاژی دیودها نیز نشان می‌دهد که دیودهای (D_{in}) و (D_4) بیشترین ولتاژ معکوس را تحمل می‌کنند و بنابراین بحرانی‌ترین قطعات از نظر انتخاب ولتاژ نامی هستند. در مقابل، دیود (D_1) کمترین تنش ولتاژی را تجربه می‌کند.

۷- نتیجه‌گیری

در این مقاله، یک توپولوژی جدید اینورتر شبه منبع امپدانسی با نام EcSL-qZSI ارائه شد که هدف اصلی آن افزایش قابلیت تقویت ولتاژ در کنار حفظ ویژگی‌های مطلوب ساختارهای شبه منبع امپدانسی است. نوآوری اصلی توپولوژی پیشنهادی، استفاده از دو سلول سلف-کلیدزنی در شبکه امپدانسی است که امکان دستیابی به بهره ولتاژ بالاتر نسبت به توپولوژی CSL-qZSI را فراهم می‌کند. علاوه بر این، ساختار پیشنهادی ضمن حفظ جریان ورودی پیوسته و زمین مشترک بین منبع DC و پل اینورتر، عملکرد مناسبی از نظر تنش ولتاژ عناصر و قابلیت استفاده در منابع DC با سطح ولتاژ پایین ارائه می‌دهد. مزایا و ویژگی‌های توپولوژی پیشنهادی از طریق تحلیل ریاضی، مقایسه جامع با توپولوژی‌های پیشرفته موجود، نتایج شبیه‌سازی و آزمایش‌های تجربی مورد ارزیابی و تأیید قرار گرفت. همچنین اینورتر پیشنهادی در بهره‌های ولتاژ بالای ۶، شاخص مدولاسیون بزرگ‌تری نسبت به توپولوژی‌های EB-ZSI و EB-qZSI ارائه می‌دهد، علاوه بر این، در مقایسه با شش توپولوژی دیگر موجود، عملکرد بهتری را به‌طور هم‌زمان از نظر بهره ولتاژ و شاخص مدولاسیون به دست می‌آورد و در نتیجه به دلیل کاهش اعوجاج هارمونیکی، کیفیت شکل‌موج ولتاژ خروجی بهتری را ارائه می‌دهد.

نتایج مقایسه‌ای نشان داد که در شرایط یکسان با ضریب تقویت(B=6.54) ، توپولوژی پیشنهادی EcSL-qZSI قادر به دستیابی به بهره ولتاژ (G=4.95) است که در مقایسه با بسیاری از توپولوژی‌های پیشرفته موجود، عملکرد رقابتی از نظر قابلیت افزایش ولتاژ ارائه می‌دهد. علاوه بر این، برخلاف برخی ساختارهای بهره بالا که افزایش بهره را با افزایش پیچیدگی مدار یا تنش بیشتر عناصر همراه می‌کنند، توپولوژی پیشنهادی ضمن حفظ جریان ورودی پیوسته و زمین مشترک بین منبع DC و پل اینورتر، قابلیت استفاده در کاربردهای مبتنی بر منابع DC با سطح ولتاژ پایین را فراهم می‌کندهمچنین تنش کل ولتاژ خازن به طور قابل‌توجهی کمتری نسبت به هر دو توپولوژی

[Downloaded from ieijqp.ir on 2026-10-16]

EEB-ZSI و EB-ZSI دست می‌یابد. از طرفی در ناحیه بهره‌ی بالا (G>6)، عملکرد این توپولوژی بهبود یافته و مجموع تنش ولتاژ خازن آن در مقایسه با هر دو توپولوژی EB-qZSI و ZSIکلاسیک، عملکرد برتری را نشان می‌دهد .این ویژگی، برتری توپولوژی پیشنهادی را برای کاربردهای با بهره ولتاژ بالا را نشان می‌دهد. قابل ذکر است در بهره ولتاژ مساوی G، تنش‌های جریان سلف‌های L_1 و L_3 در توپولوژی اینورتر پیشنهادی مشابه با توپولوژی‌های cSL-qZSI، EB-ZSI، EB-qZSI ($I_{L1}=I_{L2}$)، HE-qZSI و DA-qZSI (I_{L4}) است.

با وجود مزایای ارائه‌شده، توپولوژی پیشنهادی دارای برخی محدودیت‌ها نیز است. استفاده از دو سلول سلف-کلیدزنی موجب افزایش تعداد عناصر غیرفعال و نیمه‌هادی نسبت به ساختارهای متداول شده که می‌تواند بر حجم، هزینه و پیچیدگی طراحی مدار تأثیرگذار باشد.

از طرفی تنش‌های برخی مولفه ها مانند جریان سلف‌های L_2 و L_4 در توپولوژی اینورتر پیشنهادی نسبت به تمام هشت توپولوژی دیگر نسبتاً بالا است. همچنین، عملکرد اینورتر در این پژوهش بر اساس کنترل حلقه‌باز مورد ارزیابی قرار گرفته است و بررسی عملکرد آن در شرایط دینامیکی و تحت راهبردهای کنترل حلقه‌بسته در این مقاله مدنظر نبوده است. ازاین‌رو، توسعه روش‌های کنترلی پیشرفته، ارزیابی عملکرد در سطوح توان بالاتر، تحلیل راندمان و قابلیت اطمینان، و همچنین بررسی عملکرد توپولوژی در کاربردهای عملی نظیر سامانه‌های فتوولتائیک، ذخیره‌سازهای انرژی، خودروهای الکتریکی و ریزشبکه‌ها می‌تواند به‌عنوان مسیرهای مناسب برای تحقیقات آینده در نظر گرفته شود.

جدول (۶): تحلیل حساسیت توپولوژی پیشنهادی نسبت به تغییر پارامترهای کلیدی

مقدار پارامتر	V_{C_1}	V_{C_2}	$V_{C_3}=V_{C4}$	$\hat{V}_{p_n}$	V_{D1}	V_{D2}	V_{D3}	$V_{Din}=V_{D4}$
V_{in}=۴۸	161.36	152.57	76.29	314	49.2	152.57	112.9	313.96
V_{in}=۶۰	201.7	190.71	95.36	393.4	61.5	190.71	141.13	392.45
V_{in}=۷۲	242.04	228.85	114.42	470.94	73.8	228.85	169.35	470.94

[Downloaded from ieijqp.ir on 2026-10-16]

مراجع

1. Zarei, G., Babaei, E., Sharifian, M. B. B., Aghaei, H., & Shokati Asl, E. (2024). High voltage gain switched Z-source inverter with low current stress. *IET Power Electronics*, *17*(1), 38–53. https://doi.org/10.1049/pel2.12609
2. Zarrinehbafan, M., Seifi, A., Nadermohammadi, A., & Hosseini, S. H. (2024). A new single magnetic core coupled-inductor based active switched Quasi Z-source inverter. *Scientific Reports*, *14*, 17197. https://doi.org/10.1038/s41598-024-68194-0
3. Al-Saloli, A. A., & Alfaris, F. E. (2024). Current compensation for faulted grid-connected PV arrays using a modified voltage-fed quasi-Z-source inverter. *Electronics*, *13*(21), 4312. https://doi.org/10.3390/electronics13214312
4. Chub, A., Vinnikov, D., Blaabjerg, F., & Peng, F. Z. (2015). A review of impedance-source power converters. *IEEE Transactions on Power Electronics*, *30*(12), 6751–6764. https://doi.org/10.1109/TPEL.2015.2427085
5. Cheng, Z., Cao, K., Liu, C., Liu, Z., Luo, B., & Zhang, Y. (2025). Improved deadbeat algorithm-based sequential model predictive control strategy for QZSI-PMSM system. *The Journal of Engineering*, *2025*(1), e70075. https://doi.org/10.1049/tje2.70075
6. Elmorshedy, M. F., Al Essawy, I. J., Rashad, E. M., Islam, M. R., & Dabour, S. M. (2023). A grid-connected PV system based on quasi-Z-source inverter with maximum power extraction. *IEEE Transactions on Industry Applications*, *59*(5), 6445–6456. https://doi.org/10.1109/TIA.2023.3275557
7. Dabour, S. M., El-hendawy, N., Aboushady, A. A., Farrag, M. E., & Rashad, E. M. (2023). A comprehensive review on common-mode voltage of three-phase quasi-Z-source inverters for photovoltaic applications. *Energies*, *16*(1), 1–28. https://doi.org/10.3390/en16010269
8. Kalaiarasi, N., Sivapriya, A., Vishnuram, P., Pushkarna, M., Bajaj, M., Kotb, H., & Alphonse, S. (2023). Performance evaluation of various Z-source inverter topologies for PV applications using AI-based MPPT techniques. *International Transactions on Electrical Energy Systems*, *2023*(1), 1134633. https://doi.org/10.1155/2023/1134633
9. Khajesalehi, J., Hamzeh, M., Sheshyekani, K., & Afjei, E. (2015). Modeling and control of quasi Z-source inverters for parallel operation of battery energy storage systems: Application to microgrids. *Electric Power Systems Research*, *125*, 164–173. https://doi.org/10.1016/j.epsr.2015.04.004
10. Mande, D., Trovão, J. P., & Ta, M. C. (2020). Comprehensive review on main topologies of impedance source inverter used in electric vehicle applications. *World Electric Vehicle Journal*, *11*(2), 37. https://doi.org/10.3390/wevj11020037
11. Do, T. V., Kandidayeni, M., Trovão, J. P. F., & Boulon, L. (2025). Multi-criteria ranking of Z-source inverter topologies for a three-wheel fuel cell hybrid electric vehicle. *IEEE Transactions on Vehicular Technology*, *74*(2), 2527–2537. https://doi.org/10.1109/TVT.2023.3276635
12. Sarode, S. (Ashtankar), & Kadwane, S. (2023). Design of quasi-Z-source converter for vehicle to vehicle to battery charging application. *Energy Storage*, *5*(1), e387. https://doi.org/10.1002/est2.387
13. Meenalochini, P., Karthick, R., & Sakthivel, E. (2023). An efficient control strategy for an extended switched coupled inductor quasi-Z-source inverter for 3 Φ grid connected system. *Journal of Circuits, Systems and Computers*, *32*(11), 2450011. https://doi.org/10.1142/S0218126624500117
14. Madani, A. R., Samani, A. G., & Ezoji, H. (2024). Optimized designed X-shape impedance in voltage type Z-source inverter based on average modeling. *International Journal of Electrical Power & Energy Systems*, *157*, 109799. https://doi.org/10.1016/j.ijepes.2024.109799
15. Jagan, V., Ullemgondla, G., Thati, D., Salveru, B., Ongole, D., & Banoth, S. (2024). Superior-boost quasi Z-source inverter: Analysis and implementation. *2024 3rd International Conference on Power Electronics and IoT Applications in Renewable Energy and its Control (PARC)*, 475–480. https://doi.org/10.1109/PARC59193.2024.10486437
16. Samanbakhsh, R., Koohi, P., Martin Ibanez, F., Martin, F., & Terzija, V. (2023). A Z-source inverter with switched network in the grid-connected applications. *International*

[Downloaded from ieijqp.ir on 2026-10-16]

decoupling quasi-Z-source inverter. *International Journal of Electrical Power & Energy Systems*, *156*, 109699. https://doi.org/10.1016/j.ijepes.2023.109699
26. Liu, Y., & Li, J. J. (2024). High precision model predictive power control method for battery energy-stored quasi Z-source inverter. *IEEE Transactions on Power Electronics*, *39*(8), 9481–9489. https://doi.org/10.1109/TPEL.2024.3402056
27. Liang, W., Liu, Y., Shen, Y., & Yin, J. (2024). An improved amplitude-domain PWM technique with minimum inductor current ripple for three-phase quasi-Z-source inverter. *IEEE Transactions on Industry Applications*, *60*(2), 2991–3005. https://doi.org/10.1109/TIA.2023.3344088
28. Mokhtari, K., Shokri-Kojori, S., & Aliyari-Shoorehdeli, M. (2024). A new generalized state-space averaged model, control design and stability analysis for three phase grid-connected quasi-Z-source inverters. *International Journal of Electrical Power & Energy Systems*, *158*, 109932. https://doi.org/10.1016/j.ijepes.2024.109932
29. Radhika, A., Kumar, K. V., & Prakash, A. (2025). Hybrid control for capacitor-assisted Z-source inverter in grid-connected photovoltaic system. *Renewable and Sustainable Energy Reviews*, *208*, 115002. https://doi.org/10.1016/j.rser.2024.115002
30. Chen, D., Zhao, J., & Qin, S. (2023). SVM strategy and analysis of a three-phase quasi-Z-source inverter with high voltage transmission ratio. *Science China Technological Sciences*, *66*(10), 2996–3010. https://doi.org/10.1007/s11431-022-2394-4
31. Van Do, T., Kandidayeni, M., Trovão, J. P. F., & Boulon, L. (2024). Mode-dependent energy management of a dual-source active switched quasi-Z-source inverter for fuel cell hybrid vehicles. *IEEE Transactions on Energy Conversion*, *39*(4), 2643–2653. https://doi.org/10.1109/TEC.2024.3406419
32. Noroozi, M., Haghjoo, F., Javadi, H., & Zolghadri, M. R. (2023). Power quality improvement in single-phase transformerless semi-quasi-Z-source inverters for off-grid photovoltaic systems. *International Journal of Electrical Power & Energy Systems*, *145*, 108703. https://doi.org/10.1016/j.ijepes.2022.108703
33. Hajoary, B., & Das, R. (2025). Review on topologies of quasi Z-source inverter in grid-connected solar photovoltaic system. *Journal of Electrical Power & Energy Systems*, *147*, 108819. https://doi.org/10.1016/j.ijepes.2022.108819
17. Nayak, M. R., Tulasi, V. V. K., Teja, K. D., Koushic, K., & Naik, B. S. (2023). Implementation of quasi Z-source inverter for renewable energy applications. *Materials Today: Proceedings*, *80*, 2458–2463. https://doi.org/10.1016/j.matpr.2021.06.383
18. Ramanathan, G., Bharatiraja, C., Kotb, H., & Emara, A. (2024). PV-assisted modified Z-source inverter for multiport EV charging infrastructure: Access with PV2V. *Energy Reports*, *11*, 5716–5732. https://doi.org/10.1016/j.egyr.2024.05.036
19. Bubalo, M., Bašić, M., Vukadinović, D., & Grgić, I. (2023). Hybrid wind-solar power system with a battery-assisted quasi-Z-source inverter: Optimal power generation by deploying minimum sensors. *Energies*, *16*(3), 1488. https://doi.org/10.3390/en16031488
20. Gayen, P. K., & Das, S. (2025). Wide power control of high-gain and compact quasi Z-source inverter in remote and sustainable solar water pumping system. *Sustainable Energy Technologies and Assessments*, *74*, 104173. https://doi.org/10.1016/j.seta.2025.104173
21. Lei, S., Jin, N., & Jiang, J. (2024). Current-prediction-controlled quasi-Z-source cascaded multilevel photovoltaic inverter. *Electronics*, *13*(10), 1824. https://doi.org/10.3390/electronics13101824
22. Hadjaidji, F. Z., Boukhetala, D., & Barbot, J. P. (2025). Decentralized control for parallel distributed generation units in flexible microgrid integrating PV quasi-Z-source inverter. *Electric Power Systems Research*, *247*, 111711. https://doi.org/10.1016/j.epsr.2025.111711
23. Qiao, S., Huang, J., & Xu, Y. (2025). A novel model predictive control for quasi Z-source inverter to eliminate negative influence of inductor current ripple on output current. *IEEE Transactions on Power Electronics*. https://doi.org/10.1109/TPEL.2025.3539316
24. Grgić, I., Bašić, M., Vukadinović, D., & Marinović, I. (2024). Novel space-vector PWM schemes for enhancing efficiency and decoupled control in quasi-Z-source inverters. *Energies*, *17*(6), 1387. https://doi.org/10.3390/en17061387
25. Zhang, R., Wang, S., Li, Y., Ma, J., Wang, P., & Liu, T. (2024). A simplified space vector modulation for the single-phase active power

[Downloaded from ieijqp.ir on 2026-10-16]

Environment, Development and Sustainability. https://doi.org/10.1007/s10668-025-05978-y
34. Gyawali, B., Ajmal, A. M., Liu, W., & Yang, Y. (2024). A review on modulation techniques of quasi-Z-source inverter for grid-connected photovoltaic systems. *e-Prime – Advances in Electrical Engineering, Electronics and Energy*, *10*, 100809. https://doi.org/10.1016/j.prime.2024.100809
35. Peng, F. Z. (2003). Z-source inverter. *IEEE Transactions on Industry Applications*, *39*(2), 504–510. https://doi.org/10.1109/TIA.2003.808920
36. Gajanayake, C. J., Luo, F. L., Gooi, H. B., So, P. L., & Siow, L. K. (2010). Extended-boost Z-source inverters. *IEEE Transactions on Power Electronics*, *25*(10), 2642–2652. https://doi.org/10.1109/TPEL.2010.2050908
37. Zhu, M., Yu, K., & Luo, F. L. (2010). Switched inductor Z-source inverter. *IEEE Transactions on Power Electronics*, *25*(8), 2150–2158. https://doi.org/10.1109/TPEL.2010.2046676
38. Nguyen, M. K., Lim, Y. C., & Choi, J. H. (2012). Two switched-inductor quasi-Z-source inverters. *IET Power Electronics*, *5*(7), 1017–1025. https://doi.org/10.1049/iet-pel.2011.0297
39. Fathi, H., & Madadi, H. (2016). Enhanced-boost Z-source inverters with switched Z-impedance. *IEEE Transactions on Industrial Electronics*, *63*(2), 691–703. https://doi.org/10.1109/TIE.2015.2477346
40. Jagan, V., Kotturu, J., & Das, S. (2017). Enhanced-boost quasi-Z-source inverters with two-switched impedance networks. *IEEE Transactions on Industrial Electronics*, *64*(9), 6885–6897. https://doi.org/10.1109/TIE.2017.2688964
41. Yuan, J., Yang, Y., Liu, P., Shen, Y., & Qiu, Z. (2018). An embedded enhanced-boost Z-source inverter. *2018 IEEE International Power Electronics and Application Conference and Exposition (PEAC)*, 1–6. https://doi.org/10.1109/PEAC.2018.8590410
42. Noroozi, M., Haghjoo, F., & Javadi, H. (2022). A modified step-up transformerless inverter with common-ground based on semi-quasi-Z-source topology. *Iranian Electric Industry Journal of Quality and Productivity*, *11*(1), 30–43. https://doi.org/20.1001.1.23222344.1401.11.1.6.8

[Downloaded from ieijqp.ir on 2026-10-16]